

⑪ 特許公報 (B2)

昭61-43742

⑨Int.Cl.
G 06 F 12/08
12/12

識別記号
B-8219-5B
R-8219-5B
Z-8219-5B

⑩公告 昭和61年(1986)9月29日
発明の数 1 (全33頁)

④発明の名称 周辺データ記憶システム

②特願 昭58-10024

④公開 昭58-147880

②出願 昭58(1983)1月26日

④昭58(1983)9月2日

優先権主張 ②1982年2月24日③米国(US)④351835

②発明者 マイケル・ハワード・ハーティング アメリカ合衆国アリゾナ州ツーソン・ノース・タヌリ・ドライブ3865番地

②発明者 ジエラルド・エルスワース・ティラー アメリカ合衆国アリゾナ州ツーソン・チャツクワゴン・サーカル11373番地

②出願人 インターナショナル・ビジネス・マシーンズ・コーポレーション アメリカ合衆国10504ニューヨーク州アーモンク(番地なし)

②代理人 弁理士 順宮 孝一 外1名
審査官 鶴谷 裕二

1

2

⑤特許請求の範囲

1 それぞれ多数のデータ記憶領域を含むキヤツシユ及びバツキング記憶装置と、上記キヤツシユ及びバツキング記憶装置の間でデータを転送する転送手段とを有する周辺データ記憶システムにおいて、上記キヤツシユのデータ記憶領域の中で、上記バツキング記憶装置に記憶されたデータに対応してデータを記憶しているデータ記憶領域であることを表示するエントリイ、及びキヤツシユに記憶されたデータが上記バツキング記憶装置に記憶された対応するデータから変更されているかどうかを示す変更表示を含むキヤツシユ置換制御リストを保持する手段と、上記キヤツシユ置換制御リストにおいて間もなく置換されるべき最初の部分を走査して、上記キヤツシユのデータ記憶領域に記憶されたデータの中で変更されたデータを含む最初のデータ記憶領域を識別する第1の走査手段と、上記キヤツシユ置換制御リスト及び上記第1走査手段へ接続され、上記最初のデータ記憶領域が識別された後に、上記キヤツシユ置換制御リストの残りの部分を走査して、上記最初のデータ記憶領域に記憶されたデータと所定の関係を有するデータを記憶したデータ記憶領域を識別する第

2 の走査手段と、上記転送手段及び上記第1及び第2の走査手段へ接続され、上記識別されたデータ記憶領域に記憶されたデータを、上記キヤツシユから上記バツキング記憶装置へ転送されるべきデータ・ブロックへグループ化する手段とを具備する周辺データ記憶システム。

発明の詳細な説明

〔本発明の分野〕

本発明は多重レベルのデータ記憶階層に関し、更に具体的には、そのような階層において上位レベルから下位レベルへデータを転送することに関する、そのような階層を制御することに関する。

〔先行技術の説明〕

周辺データ記憶階層は、Edenその他のによる米国特許第3569938号によって示唆されるように、みかけの記憶装置を与えるため、多年の間使用されてきた。Edenその他の教示によれば、要求時ページング又はリクエスト・システムにおいては、データを高速記憶装置(バッファ)へ貯蔵することによって、周辺記憶システムは大容量を有する外観をとることができ、かつデータへの高速アクセスが可能となる。この高速アクセスは、バツキング・ストアによって可能となるアクセスよ

りも早い。更に、Edenその他の教示によれば、バッキング・ストアは磁気テープ・レコーダや磁気ディスク・レコーダのように保存性のデータ記憶装置であつてよく、前面ストアは磁気コア・メモリの如く持持久性のものであつてよい。メモリ技術の進歩とともに、前面ストアは、現在典型的には半導体型のメモリ素子から作られている。米国特許第3839704号は、他の形式の記憶階層を説明している。

記憶階層の重要な局面は、データの完全性を保証することである。即ち、中央処理ユニット(CPU)又はデータ処理装置のようなユーザから受取られたデータは、正確に、又はエラーが存在する旨の表示とともに供給ユニットへ戻されねばならない。従つて、記憶階層においては、保存性記憶装置のためにデータを高レベルから低レベルへ移動させるとともに、高レベルでデータを制限して他のデータを高速アクセスに備えて記憶させることが通常の典型的なやりかたである。米国特許第4020466号は、高レベル・ストアからバッキング・ストアへ変化したデータを複写する技術を教える。米国特許第4077059号は、所定の条件下で複写データを戻す技術(コピーバック)を教える。そのようなコピーバック動作は記憶階層の効率的時間を消費する。即ち、コピーバックされるデータが多いと、現用ユニットによるデータのアクセスは能率が悪くなる。この問題は、米国特許第3588839号によつて部分的に解消することができる。この米国特許は、高レベル記憶ユニットから低レベル記憶装置へコピーバックされるデータを、変更されたデータに限る技術を教えてい。即ち、バッキング・ストアに記憶されたデータと、前面ストアに記憶されたデータとの間に不一致がある場合にコピーバックが行なわれる。

記憶階層は種々の形態を有する。例えば、Edenその他のによる米国特許第3569938号によれば、1個の高速ストアがいくつかのユーザにサービスを与える。米国特許第3735360号は、各プロセッサがそれ自体の高速ストア又はキヤツシユを有することができる技術を教える。更に、記憶階層の効率は、所定のデータをキヤツシユ又は高速記憶機構へ貯蔵するために使用されるアルゴリズム及び制御機構によつて影響を受ける。米国特許第3898624号は、バッキング・ストアから前

面ストア(又はキヤツシユ)へデータを取出す時間変化が、現用CPUで実行されているプログラムに従つて、コンピュータ・オペレータによつて選択される技術を示す。このように、キヤツシユ又は階層の上位レベルに存在するデータはCPUによつて必要とされるデータであり、必要とされない余分のデータはキヤツシユに存在させないようにして、多くの有用なデータが高レベルの記憶機構に記憶されるようにすることが望まれる。これらの動作は、全く複雑となる。従つて、記憶階層をどの程度良好に管理するかを評価するため、記憶階層の評価プログラムが使用されてきた。米国特許第3964028号及び第4068304号は、これらの目的を達成するため、記憶階層の効率を監視する技術を開示している。それでもなお、各種の記憶階層において、データの完全性を確保しつつ、最適の効率を達成するため多くの技術的改善がなされねばならない。記憶階層に関する多くの改善は、現用CPUへ接続されたキヤツシユ及びメイン・メモリの組合せについてなされてきた。メイン・メモリとキヤツシユを組合せる原理は、最初Edenその他のによつて示唆されたように、周辺システムのデータを貯蔵しつつバッファリングすることと関連して教示されてきた。Edenその他のによる教示は、ホスト・プロセッサの外部でデータを貯蔵するか又はバッファリングすることに関する。勿論、Edenその他の以前においても、CPUのために磁気テープ及びディスク・ユニットからのデータをバッファリング又は貯蔵するため、メイン・メモリが使用されてきた。即ち、メイン・メモリは、CPUの作業メモリとして使用されるのみならず、周辺装置のバッファとしても使用された。

ある種のデータ記憶システムはユーザ・データを記憶し、また他の種のデータ記憶システムはページング及びスワッピング・データを記憶する。これらのデータは、ページングないしスワッピング・プログラム・データ・セットと関連して使用されることができる。このようにページング・ストアの例は、IBM2305固定ヘッド記憶装置である。この装置は、IBM社から出版された「IBM2835固定ヘッド記憶制御装置及びIBM2305固定ヘッド記憶装置の参考マニュアル」(Reference Manual for IBM2835 Storage

Control and IBM2305 Fixed Head Storage Module) に説明されている。この周辺データ記憶システムは、記憶されたデータへ迅速にアクセスする磁気記憶ドラムを含む。磁気記憶ドラムの記憶容量は制限されているので、より大きな容量を必要とするより大型のホストは、IBM2305固定ヘッド記憶装置が最大の効率を発揮できるほど効率的に使用することができなかつた。足りない容量は、ディスク型の直接アクセス記憶装置によつて補われた。特に、スワッピング・データ・セットが使用される場合、即ち、ホストと周辺メモリとの間で大量のシーケンシャル・データ・セットが迅速に転送される場合に、上記のような問題が生じた。効率を犠牲にすることなく、記憶容量の制限を除くため、IBM2305固定ヘッド記憶装置に代えて階層記憶装置を使用することができる。

ランダム・アクセス排持久性前面ストアとDASDバッキング・ストアとを有するデータ記憶階層において、前面ストア(キヤツシユ)とDASDとの間のデータ転送は適当にグループ化されねばならない。その場合、単純にして効率的なデータ転送グループ化機構が、ホストの介入なしにそのような転送に必要な時間を減少させるために望まれる。特に、キヤツシユの記憶スペースが他のデータを記憶するために必要とされる前に、キヤツシユからのDASDへデータを移すことが望まれる。キヤツシユからDASDへ、スペースが必要とされる前に、変更されたデータを移す技術は、1981年5月のIBM技術開示報告第23巻12号の5426頁及び5427頁に記載されている(IBM Technical Disclosure Bulletin, Volume 23, No.12, May 1981)。この文献の記事によれば、LRU (least recently used) - MRU (most recently used) リストにおいて変更されたデータが走査される。それは、前面ストア(キヤツシユ)からバッキング・ストアへ、変更されたデータの複写を転送して、置換アルゴリズムが呼出された時、データがキヤツシユからバッキング・ストアへ転送される必要がないようにするためである。この先行技術は、置換アルゴリズムを効果的に働かせるため、LRU端部からLRU-MRUリストを走査して、キヤツシユからDASDデータを転送する技術を教えている。しかし、それは、データのブロック転送を実行するため、関連したデータ

をバッチしたりグループ化したりする技術を教示していない。

(本発明の要約)

本発明の目的は、データ記憶階層のために、効率的なデータ・グループ化制御装置を提供することである。

本発明に従えば、キヤツシユ(通常、非持久性を有する)置換オーバレイ制御リストが維持される。そのようなリストは、LRUに基いていること10 が望ましいが、他の基準を使用してもよい。所定時間の間に、バッキング・ストア(保存性を有する)へ移動されるべきキヤツシユ中の変更されたデータを発見するため、キヤツシユ置換オーバレイ制御リストが走査される。バッキング・ストア15 はDASDであつてよい。キヤツシユ置換オーバレイ制御リストは、前面ストアにおけるアドレス可能記憶スロットの全ての所定の百分率である利用可能閾値(可用閾値)を有する。キヤツシユ置換オーバレイ制御リスト上のスロットであつて可用閾値より下のスロットが走査されると、キヤツシユからDASDへデータ転送が開始される。そのような転送を開始する前に、第2のより高い閾値(グループ化閾値又はバッチ閾値と呼ばれる)の下にあるキヤツシユの全てのデータ・スロットが走査される。それは、キヤツシユ内の所定の限界に至るまでの全てのデータについて、変更されかつバッキング・ストアの同じアクセス遅延境界内に存在するデータを決定するためである。DASDにおいて、遅延境界は、トラックの1つのシリンドラからトラックの他のシリンドラへ切換えられる。所定の限界は、キヤツシユへの(及びキヤツシユからの)データ転送特性によって決定される。一度、関連したデータ・ブロックの全てが決定されると、それらデータ・ブロックは1つの待ち行列35 へグループ化される。次いで、データ転送が開始される。

本発明の第2の局面に従えば、放棄リストが維持される。放棄されるべきデータ・ブロックを発見するため、先ず放棄リストが検査される。データ書込転送を開始する前に、放棄されるべきブロックの全てが先ず放棄される。このようにして、キヤツシユのアドレス可能記憶領域は、第1に放棄されることのできるデータに基いて、第2にバッキング・ストアに記憶されねばならないデータ

に基いて、データ記憶のために割当可能とされるか、又は自由に（解放）される。

〔実施例の説明〕

ここで図面を参照する。これらの図面において、同一の番号は同一の構成部分を示す。階層周辺データ記憶システム10は、ホスト・プロセッサ（以下、ホストともいう）11のためにデータ信号を受取り、それを記憶し、又はそれを供給するため、ホスト11へ接続される。記憶システム10の典型的アプリケーションにおいて、ホスト11は中央処理ユニット（CPU）を含む。他のアプリケーションにおいて、ホスト11は1つの仮想計算機であつても、ハードウェアCPUの上で走る1組の仮想計算機であつてもよい。更に、ホスト11は多重プロセッサであつても、付加プロセッサなどを有する单一プロセッサであつてもよい。本発明は非常に多様な記憶システム10に適用することができるが、望ましい実施態様としては、データ・セットのページング及びスワッピングを処理するページング周辺データ記憶システムに応用する場合もある。概して、そのようなページング及びスワッピング・データ・セットは、ホスト11のためにプログラム・データ・セットを記憶することに関連している。そのような場合、記憶システム10は、通常、単一のホストへ付加される。しかし、一般的アプリケーションの周辺記憶システムは、複数のホストへ付加されることができる。本発明は、周辺データ記憶システムのいずれの型式に対しても適用することができる。

記憶システム10とホスト11との間の通信は、複数のI/O接続12-15を介して実行される。I/O接続12-15は、IBMシステム/370の入出力周辺チャンネルに従つて構成される。そのようなI/O接続（通常、システム及びサブチャンネルと呼ばれる）は周知であるから、これ以上説明しない。記憶システム10は、複数のDASD16（D0, D1と表示される）を含む低位（又はバッキング）記憶装置部分を有する。記憶システム10に関して、ホスト11によって実行されるデータのアクセス及び記憶の全ては、DASD16をアドレスすることによってなされる。このアドレスングは、チャンネル指令ワード（CCW）19及びI/O接続12-15のアーキ

テクチャを使用することによって達成される。典型的には、チャンネル指令ワード19は、アドレス・バイト20を含む。アドレス・バイト20は、指令を受取るべき制御ユニット（CU）を指定する複数のビットを含む。第2群のビットは、アクセスされるべきDASD16を独特に指定する。記憶システム10において、DASD16の各々は複数の論理装置アドレスを有する。例えば、装置D0は4つのアドレスの1つによってアドレスされることができる。そのような複数アドレスは、IBM2305固定ヘッド記憶装置において、制限された範囲で実行されてきた。各装置に対する論理アドレスはアドレス・バイト20の他のビットによつても表示される。本実施例においては、4つの論理アドレスの1つを指定してDASD16をアドレスするため、2つの論理装置アドレス・ビットがホスト11によつて使用されるものと仮定する。即ち、アドレス・ビット00は、DASD16に対する直接アクセスを指示する。この場合、ホスト11は、あたかも記憶システム10が階層システムではないかの如く、DASD16に関して動作する。アドレス・ビットが01、10、11に等しい時、後述するように、DASD16のみかけの効率がそれらの3つの論理装置アドレスによつて改善されるように、階層システムがアクセスされ、DASD16からデータが取出され、又はそこへデータが与えられる。

CCW19の第2のバイトは指令バイト21である。指令バイト21は、どのような機能が実行されるべきかを、記憶システム10へ指示するコードを含む。例示された指令SPPは、ページング・バラメータ・セット（モード・セット）指令である。第3のバイトは指令修飾バイト22である。指令修飾バイト22は複数の制御フィールドを有し、これらの制御フィールドは、記憶システム10に対して、指令バイト21で示された指令を実行するための各種のモードを表示する。例えば、1つのビットSEQは、記憶システム10に対して、来たるべき転送動作で転送されるべきデータがシーケンシャル・データであることを知らせる。バイト22のSEQビットがシーケンシャル・データであることを示す時、追加の指令修飾バイト（図示されず）がCCW19に含まれる。この指令修飾バイトは、DASD16からホスト1

1へ(又は、この逆方向へ)シーケンシャルなデータ・セットとして転送されるべきデータ・ブロック又はデータ・セグメントの数を示す。そのようなシーケンシャルなデータ・セットは、ページング環境においてしばしばスワッピング・データ・セットと呼ばれる。更に、バイト22はRDビットによって「読出し及び放棄」を指定することができる。これは、一度ホスト11が階層システムからデータを取出した後は、そのデータはキヤツシユから放棄される能够性を意味する。DASD16にあるデータは保存される。更に、他の制御ビットを使用することができる。

データ記憶階層は、半導体ランダム・アクセス型のシステム・ストレージ30を含む。システム・ストレージ30はDASD16のためのキヤツシユ40を有する。キヤツシング(貯蔵)原理は周知であるから、DASD16に対するキヤツシユ40の目的及び意味は詳細に説明しない。制御機構31はホスト11から周辺指令を取り、かつ論理装置アドレスの1つを使用してDASD16へアクセスするとともに、他の3つの論理装置アドレスに基いてキヤツシユ40とアクセスする。データは、キヤツシユ40とDASD16との間で、ホスト動作に関して非同期的にかつ自動的に記憶システム10によって転送される。その転送は、ホスト11とDASD16との間のデータ転送と同じ原理に基いて達成される。例えば、ホスト11は、直接モードにおいて、チャネル・アダプタ32(個別的にCAA、CAB、CAC、CADと示される)、バス70、直接アクセス・コントロール(DAC)56によって制御されるデータ回路33、装置アダプタ34、及び装置制御アタッチメント(DCA)35を介してDASD16へアクセスする。受取られたCCW19は制御機構31によって解釈され、ホスト11とDASD16との間のデータ・フローの方向が決定されるとともに、この種の周辺データ記憶装置を制御するための他の機能が決定される。このような機能は周知である。キヤツシユ40とDASD16との間の関係は、実質的にホスト11とDASD16との間の関係に等しい。即ち、ホスト11は一連のCCWによって制御機能を実行するが、制御機構31は複数の内部制御ワード(ICW)を使用して、キヤツシユ40とDASD16との間のアクセスを実現

する。ICWは、後に説明するように、CCWと同じような構成を有する。CCW19に関してICW24を変更することによって、データ転送動作の或る程度の効率性が達成される。制御機構31はキヤツシユ・アクセス・コントロール(CAC)61を含む。CAC61はシステム・ストレージ30を動作させ、ICW24を使用しつつ直接アクセス・コントロール(DAC)56を介してDASD16にアクセスする。チャネル・アダプタ32に代つて、リンクージ・ポート(LKP)・レジスタ25がCAC61とDAC56との間の転送を実現する。LKPレジスタ25については、後に第3図に関して説明する。

ICW24は、CCWの指令バイト21に対応する指令バイト26を含む。同じ指令に対するコードは同一であることに注意すべきである。追加の指令が与えられてもよく、またCCW指令の或るものは無くてもよい。指令修飾バイト27は連鎖制御ビットCを含む。このビットは、通常、チャネル・アダプタ32を介してホスト11から制御機構31へ与えられる連鎖表示と置換される。ホスト11によって与えられる連鎖表示は、抑制アウト・タグ信号である。ICW24のアドレス・バイト23は、DASD16のアドレスの記憶されたロケーションを指定する。ICWでは、論理アドレスは使用されない。事実として、制御機構31は、記憶階層へ与えられた論理アドレスの全てを、実際の装置アドレス・ビットへ変換する。アドレス・バイト28は、装置アドレスの記憶されたロケーションを指定するのみならず、シリンド・アドレス(C)、ヘッド・アドレス(トラック・アドレス)(H)、レコード・アドレス(R)を指定する。ブロック・アドレスの中にあるデータ・レコードは、大部分のディスク記憶装置をアドレスする時に使用されるセクタ・アドレスに対応する。実施例において、1本のトラック(Hアドレス)の上に4つのレコードが与えられる。従つて、レコード・アドレスは1、2、3、4であり、これらは基準の回転地点に関してディスクの0°、90°、180°、270°の方向に対応する。設計パラメータによって、直交する方向とは異つた実際の回転方向を指示するようにしてもよい。受取られたレコード・アドレスは、全て4つの回転レコード・アドレスの1つへ変換される。

キヤツシユ40は、チャネル・アダプタ32及びバス41を介してホスト11との間でデータ信号を転送する。同様に、データ信号は、DASD16とキヤツシユ40との間で、データ回路33及びバス42を介して転送される。キヤツシユ40とホスト11又はDASD16との間で同時的転送が望まれないならば、バス41及び42が1本のバスへ結合され、このバスがデータ転送によつて時分割される。数メガバイトを含む比較的大きなメモリであるようなキヤツシユ40にアクセスする場合、キヤツシユ・アクセス・コントロール61が、バス64を介してハツシユ回路44へ、装置アドレス、シリング・アドレス及びレコード・アドレスCHRを送る必要がある。マイクロコードによつて機能が実行されてよいハツシユ回路44は、DASDアドレスをハツシユ・クラス・インディケータへ変換する。キヤツシユ40の記憶容量はDASD16よりはるかに小さいから、アクセスを容易にするため、DASD16のアドレス範囲は、ハツシユ・クラスと呼ばれるクラスへ集中させられる。分散指標テーブル(SIT)45は、ハツシユ回路44によつて限定されるクラスの各々について1つのレジスタを有する。分散指標テーブル45にあるレジスタの内容は、登録簿(DIR)43に対するアドレス・ポインタである。登録簿43は、DASD16をアクセスするために使用されるアドレスDCHRを含む。データがキヤツシユ40に記憶される時、DASD16へDCHRアドレスとキヤツシユ40のアドレスとが、登録簿43のエントリイ・レジスタに記憶される。複数の装置アドレスが1つのハツシユ・クラスに対応するから、ハツシユ法を用いてキヤツシユ40を走査するには、所与のハツシユ・クラス内のエントリイ・レジスタを走査すればよいよう、単一的にリンクされたハツシユ・クラス・リストが登録簿43のエントリイ・レジスタ中に設けられる。登録簿43の内容に基き、キヤツシユ40は既知の手法を用いてアクセスされる。もし関連したエントリイが登録簿43の中に発見されなければ、キヤツシユ・ミスが生じる。これは、キヤツシユ・アクセス・コントロール61によつて、ホスト11からデータを受取るためキヤツシユ40の中でスペースを割当てるか、ICW24及びリンクエージ・ポート・レジスタ25を用

いてDASD16からデータを転送することを必要とする。

更に、制御機構31は、ホストへ接続される制御ユニットの通常の制御部分を含む。例えば、5「アドレス及び指令」評価器(ACE)50は、ホスト11から指令信号を受取りかつ状況信号をホスト11へ与えるため、バス51, 52, 53, 54を介してチャネル・アダプタ32と通信する。「アドレス及び指令」評価器50はCCW19を評価し、かつ命令された機能を実行するよう記憶システム10へ命令を与えるとともに、連鎖条件を表示し、また記憶システムの他の部分から状況信号を受取つてそれをホスト11へ送る。直接モードでは、「アドレス及び指令」評価器50は、バス55を介して指令信号を直接アクセス・コントロール56へ与える。従つて、データ信号は、既知のDASD周辺記憶装置手法を使用することにより、データ回路33と適当なチャネル・アダプタ32との間で、バス70を介して転送されることができる。直接アクセス・コントロール(DAC)56がその機能を実行する時、DAC56は通常の方式に従つてデータ回路33を制御する。

データ記憶装置の動作は階層的に実行される。25即ち、シーケンシャル・データ・セットは、最小サイズのキヤツシユ及び最小の割当制御動作を使用してキヤツシユ40の中に置かれる。また、データの順次性は効率的な方法で維持され、かつホスト11の動作要件を満足させるため、十分な数30のデータ・ブロックがキヤツシユ40の中に維持される。「アドレス及び指令」評価器(ACE)50が、アドレス・バイト20の中にある論理装置アドレスを受取つた時、記憶階層へのアクセスを指示するため、ACE50は、論理アドレスに従つて、3つのバス60の1つを介して、受取つた指令信号をキヤツシユ・アクセス・コントロール(CAC)61へ与える。3つのバスは、キヤツシユ40のそれぞれのアクセスを指示する論理バスである。CAC61は、受取つた指令及び修飾データを論理装置制御ブロック(LDCB)レジスタ62に記憶する。装置の各々について3つの論理装置アドレスがあることを想起されたい。従つて、もし8個のDASD16があれば、24個のLDCBレジスタ62がある。

各論理装置の識別情報及び動作状況は、論理装置制御プロック・レジスタ 6 2 の 1 つに保存される。論理装置へのアクセス（これは、キヤツシユ 4 0 の中のレジスタを装置アドレスへ割当ることによって表わされる）は、ハツシユ回路 4 4 へ至るアドレス・バス 6 4 を介して行なわれる。シーケンシャル・データ及びDASD 1 6 に対するシーケンシャル・アドレス (CHR部分) が処理される場合には、分散指標テーブル 4 5 にある連続したレジスタをアクセスすることができる。従つて、キヤツシユ・アクセス・コントロール 6 1 は、ハツシユ回路 4 4 における遅延を避けるため、バス 6 5 を介して分散指標テーブル 4 5 にアクセスする。この動作は、シーケンシャル・データが処理されている時、ホスト 1 1 に対する記憶 10 システム 1 0 の応答を早める。

キヤツシユ・アクセス・コントロール 6 1 が、読み出リクエストについて、登録簿 4 3 のハツシユ・クラスを探索した結果、ミス表示信号を受取ると、DASD 1 6 からキヤツシユ 4 0 へのデータ 20 転送リクエストが、バス 6 6 及びリンクエージ・ポート・レジスタ 2 5 を介して直接アクセス・コントロール (DAC) 5 6 へ与えられる。バス 6 6 上の信号は、そのリクエストに対してDAC 5 6 の注意を向けさせ、かつICWがリンクエージ・ポート・レジスタ 2 5 を介してアドレス可能であることを教える。後に明らかになるように、実施例において、リンクエージ・ポート・レジスタ 2 5 はマイクロコード・リンクエージ・ポート・レジスタである。直接アクセス・コントロール 5 6 は、それがCCW 1 9 に対して応答するように、ICW 2 4 へ応答する。リンクエージ・ポート・レジスタ 2 5 を介してリクエストされたデータ転送 (DASD 1 6 からキヤツシユ 4 0 へ) が完了すると、直接アクセス・コントロール 5 6 はバス 6 7 を介してキヤツシユ・アクセス・コントロール 6 1 へ状況 30 信号を与える。その時点で、キヤツシユ 4 0 はホスト 1 1 で利用可能なデータを有する。書込ミスが起ると、通常、キヤツシユ 4 0 のスペースが割当てられ、次いでホストからデータが受取られる。40

更に、キヤツシユ・アクセス・コントロール 6 1 と直接アクセス・コントロール 5 6 との間の通信は、バス 6 8 を介して行なわれる。このような

通信は、メッセージ・データをリンクエージ・ポート・レジスタ 2 5 に記憶することを含む。DASD 1 6 は複数の論理装置アドレスを介してアクセスされるので、1群の待ち行列レジスタ (Q) 6 9 5 は、キヤツシユ・アクセス・コントロール 6 1 によつてリクエストされた、装置に関連した動作を待ち行列として含む。このようにして、直接アクセス・コントロール 5 6 は、論理装置アドレスによるリクエストに関与せず、ホスト 1 1 又はキヤツシユ・アクセス・コントロール 6 1 のために、直接アクセスDASDモードで動作することができる。このようにして、直接アクセス・コントロール 5 6 は階層システムと関連して使用されるのみならず、階層構成をとらない周辺記憶システムの 15 中で使用されることができる。

更に、キヤツシユ・アクセス・コントロール (CAC) 6 1 は、他の制御機構を含む。例えば、ADEBレジスタ 7 6 は、CAC 6 1 が現在一緒に動作している登録簿 4 3 の1つのエントリイを含む。キヤツシユ 4 0 のヒットを生じたDASD 1 6 のアドレス、又はキヤツシユ 4 0 の1部はホスト 1 1 によって与えられるデータへ割当てられる。レジスタ 7 6 にエントリイを置くことによつて、キヤツシユ・アクセス・コントロール 6 1 の動作 25 が改善される。即ち、登録簿 4 3 はシステム・ストレージ 3 0 の1部であり、レジスタ 7 6 にアクチブなエントリイを入れることによつて、システム・ストレージ 3 0 は解放され、制御機構 3 1 から独立して、バス 4 1 及び 4 2 を介して、データ 30 を転送することができる。装置バッファ (DEV BUF) レジスタ 7 7 は、DASD 1 6 に関連した制御情報を含み、直接アクセス・コントロール 5 6 を介してアクセスを設定する場合に、キヤツシユ・アクセス・コントロール 6 1 によつて使用される。このようなレジスタは、マイクロコード実施例中の書込可能制御ストア中に設けられる。レジスタ 7 7 は単に制御ストア中の割当てられた部分であり、データ構造は指定されない。バッファ・シーケンス・テーブル (BST) 7 8 について 35 では、第3図を参照して後に説明する。BST 7 8 は、バス 4 2 を介してデータ・プロックのシーケンスとして転送される各データ・プロックのために、登録簿 4 3 に対するポインタを含む。また、BST 7 8 は、シーケンシャル転送の間に、

どの登録簿指標がキヤツシユ40のアクセスに使用されるべきかを決定する走査制御機構を含む。このようにして、シーケンシャル転送はアドレスの設定を必要とせず、後に明らかになるように、DASD16からのプロックが中断を生じることなく迅速に転送される。チャネル制御プロック(CCB)レジスタ63は、チャネル・アダプタ32を介して現在実行されつつあるデータ転送についての制御情報を含む。自由プロック・リスト(FBL)・レジスタ79は、キヤツシユ40のアドレス可能記憶領域(プロック・スロットなど)のいずれが、ホスト11又はDASD16から来るデータ信号を受取りかつ記憶するために、現在割当て可能であるかを決定する。本発明の1つの目的は、FBLレジスタ79が所与の最大数のエントリイを含むようにすることがである。

登録簿43はキヤツシユ置換LRUリスト46を含む。リスト46は、置換制御に備えて、キヤツシユ40のアドレス可能領域のリストを配列する基準として、LRU法を使用する。リスト46の詳細は第4図に示される。説明の順序として、本発明を容易に理解させるため、リスト46は第1図の下方にも示される。リスト46は第1の部分47及び第2の部分48を有する。第1の部分47は、アドレス可能領域に含まれるデータが変更されたかどうかを示す(ビット1は変更、ビット0は変更なし。Mビット)。アドレス可能領域は、ホスト11によってチャネル・アダプタ32を介して最も最近時に使用された(MRU)順序に従つてリストされている。キヤツシユ40のアドレス可能記憶領域の中で、最も最後に参照された領域が、最も最近時に使用されたアドレス可能記憶領域である。そのような記憶領域は、LRUリスト46の中でMRU-0としてリストされる。第1図に示されるように、例えばキヤツシユ・アドレスによって指定されたMRU-0は変更されている。即ち、最後の参照動作は書き込みであつた。同様に、次の「最も最近時に使用された」アドレス可能記憶領域はMRU-1である。第1図では、MRU-1も変更されている。従つて、キヤツシユ40の中のデータは、対応するDASD16に記憶されたデータとは異つてゐる。しかし、第3の「最も最近時に使用された」アドレス可能記憶領域は、対応するDASD16に記憶

されたデータと同じデータをキヤツシユ40に記憶されている。使用時点が新しくない記憶領域は、最も使用時点が新しくない記憶領域LRU+0に至るまで、順序に配列される。従つて、次の「最も使用時点が新しくない」記憶領域はLRU+1である。以下同様である。大型のキヤツシユ40では、例えば何千という多数のエントリイがLRUリスト46に存在することは注意されたい。

10 LRUリスト46の中で、LRU+0とLRU+Nとの間に、キヤツシユ40のアドレス可能記憶領域の全ては、可用閾値49の下にある。LRUリスト46が走査され、かつアドレス可能記憶領域が変更されたデータを有することを、エントリイが表示する時、それぞれの変更されたアドレス可能記憶領域のために、キヤツシユ40に記憶されたデータがDASD16へ転送され始める。第2の閾値は上位閾値(又はグループ化閾値)57である。この閾値は、データをDASD16へ单一のデータ・ストリームとして転送するため、キヤツシユ40のアドレス可能記憶領域からデータをグループ化するために使用される。前述したように、このグループ化は、所与のDASD16における1つのシリンド(多くのトラックを含む)に限定される。シリンド上のトラックは、全て同じ半径位置にある。即ち、これらのトラックは、1群の変換器を半径方向に移動させることなく、電気的切換によってアクセスされることができる。従つて、データ転送がLRU+0と可用閾値49との間の走査によって開始される時、DASD16へ書き込まれるデータ・プロックのグループをアセンブルするため、走査はグループ化閾値57まで続けられる。例えば、LRU+1はキヤツシユ40で最も使用時点の古い、変更された30データ・プロックであるとする。これは、複数のプロックをDASD16へ転送させる。例えば、LRU+NはLRU+1と同じシリンドにあるとする。従つて、LRU+Nは書き込みのためにLRU+1とグループ化される。可用閾値49の上にある40MRU-Mは異なるシリンドにあるとする。従つて、それはグループの外に置かれる。キヤツシユ40にある他のデータ・プロック、例えばグループ化閾値57の下にあるMRU-(K+1)は変更されており、かつLRU+1と同じシリンドに

あるものとする。グループ化閾値 5 7 の上方にあるデータは、全て DASD 1 6 へ書き込まれない。何故ならば、使用時点が新しいため、近い将来、データが再びホスト 1 1 によって参照される可能性が強いからである。そのようなデータの参照は、書き込み参照であるかも知れない。従つて、グループ化閾値 5 7 の上にあるデータをキヤツシユ 4 0 から移動させることは、不要なデータ転送となる。これは効率を低下させる。

可用閾値 4 9 及びグループ化閾値 5 7 は、記憶システム 1 0 がホスト 1 1 と共に現在動作している特定の動作特性に基いて選択される。これは、閾値 4 9 及び 5 7 が或る時間の間で変化してもよいことを意味する。大切な事は、必ず可用閾値 4 9 まで走査が実行されると、データ転送が開始されることである。次に走査がグループ化閾値 5 7 まで続けられると、DASD 1 6 へグループ・データ転送を開始するため、データ・ブロックのグループ化が行なわれる。このグループ化は、DASD 1 6 が選択されねばならない回数を減少させ、従つてデータ転送の効率を高める。

第 2 図は、第 1 図に示した記憶システムの変更例である。この変更例は制御機構 3 1 の中にプログラミ化されたマイクロプロセッサ 3 1 P を含む。バス 7 0 は、チャネル・アダプタ 3 2 からデータ回路 3 3 へ接続され、第 1 図の場合と同じように動作する。バス 4 1 及び 4 2 は、それぞれチャネル・アダプタ 3 2 及びデータ回路 3 3 からシステム・ストレージ 3 0 へ接続される。バス 4 1 及び 4 2 は 1 つのバスへ結合されてよく、その場合、データ転送は 1 本のバスを時分割して使用する。マイクロプロセッサ 3 1 P は、データ回路 3 3 とシステム・ストレージ 3 0 との間でデータ転送を制御するに当つて、バス 7 1 を介してデータ回路 3 3 へ制御信号を与え、バス 7 2 を介してシステム・ストレージ 3 0 へアドレス信号及びシーケンス制御信号を与える。複数のシステム・ストレージ・アドレス・レジスタ (SSAR) 5 8 は、システム・ストレージ 3 0 へアドレスを与える。例えば、8 個又は 16 個の SSAR 5 8 が設けられてよい。マイクロプロセッサ 3 1 P がシステム・ストレージ 3 0 へアクセスする時、それはシステム・ストレージ 3 0 のアドレスを SSAR 5 8 へ与えるだけでなく、システム・ストレージへアクセス

する場合にどの SSAR を使用すべきかを指示する。1 つのメモリに対して多重のアドレス・レジスタを使用することは既知であり、従つてこれ以上説明しない。SSAR 5 8 はシーケンシャル・データ・ブロックの各バーストのために設けられ、マイクロプロセッサ 3 1 P のキヤツシユ 4 0 のアドレスを SSAR 5 8 へロードすることによつて、システム・ストレージ 3 0 を起動する。従つて、アドレスは、連続したシーケンシャル・ブロックの間で、SSAR 5 8 へロードされる必要はない。シーケンシャル転送の間、マイクロプロセッサ 3 1 P は、キヤツシユ 4 0 と DASD 1 6 との間でデータ信号の転送を開始するため、単に SSAR を参照するだけでよい。ここで注意すべきは、キヤツシユ 4 0 がシステム・ストレージ 3 0 の中で所定のアドレス・スペースを有することである。登録簿 4 3 は、異つた範囲のアドレスを有する。SSAR 5 8 は、システム・ストレージ 3 0 のメモリ・アレイの外に設けられた別個の電子レジスタである。マイクロプロセッサ 3 1 P は、バス 5 1 - 5 4 を介してチャネル・アダプタ 3 2 と通信する。

マイクロプロセッサ 3 1 P の動作は、制御ストア 7 3 に記憶されたマイクロコード・プログラムに従う。制御ストア 7 3 は書き可能であることが望ましいが、1 部が書き可能であつて、プログラムを含む他の部分は読み出専用であつてよい。バス 7 4 は、マイクロプロセッサ 3 1 P を制御ストア 7 3 へ接続する。制御ストア 7 3 の中には、「アドレス及び指令」評価器 5 0 の機能を実行する ACE プログラム 5 0 P、直接アクセス・コントロール 5 6 の機能を実行する DAC プログラム 5 6 P、キヤツシユ・アクセス・コントロール 6 1 の機能を実行する CAC プログラム 6 1 P、記憶システム 1 0 の動作に必要な他のプログラムである OP プログラム 7 5 がある。しかし、OP プログラム 7 5 は、本発明を理解するために必要ではない。プログラム 5 0 P、5 6 P、6 1 P によって記憶システム 1 0 を制御するため、マイクロプロセッサ 3 1 P によって使用されるデータを記憶するレジスタとしては、CCB レジスタ 6 3、LDCB レジスタ 6 2、待ち行列レジスタ 6 9、ADEB レジスタ 7 6、SIT レジスタ 4 5、バッファ・レジスタ 7 7、LKP レジスタ 2 5、及び BST レジ

タ78がある。更に後述するように、FBLレジスタ79、Jカウンタ37、放棄リスト(DL)38が使用される。キヤツシユ40が非常に大きい場合、SITレジスタ45をシステム・ストレージ30に記憶することができる。効率を向上させるためには、SITレジスタ45にあるページを貯蔵するため、1組のレジスタを制御ストア73に予約しておくことができる。

第2図に示された記憶システム10の動作は、第3図から第12図までを参照すれば、最も良く理解することができる。第3図から第12図までは、データ構造を詳細に示すとともに、本発明の理解に必要なマイクロコードについてのマシン動作流れ図を示す。第3図は、記憶システム10を動作させるため、マイクロプロセッサ31Pによって使用されるデータ構造を示す。LDCBレジスタ62は制御ストア73の中でデータ信号を含む一連のレジスタであり、4つの部分より構成される。最初の部分80は、基礎データ構造(FOUND)部分である。部分80は、記憶システム10の機能を一般的に限定するとともにサポートする。PPARMS部分81は、後に説明するセット・ページ・パラメータ指令によって設定されたページング及びスワッピング機能を限定するパラメータに関連している。CPARMS部分82は、ホスト11によって出されたセット・セクタ・シーク・サーチID指令のような指令パラメータを含む。これらの指令は既知のディスク記憶装置周辺記憶システムと組合せて使用される。RPARMS部分83は、読み出活動(即ち、DASD16からキヤツシユ40へデータ信号を転送すること)をサポートするパラメータを含む。

部分80はODEフィールド90を含む。フィールド90は、装置終了(DE)信号が記憶システム10からホスト11へ送られるべきか否かを示す。CNL MASKフィールド91は、チャネル・アダプタ32のいずれが現在の指令を受取ったか、即ち、論理装置がどのチャネルと提携関係を有するかを示すビット・パターンを含む。LDADDRフィールド92は、指令とともに受取られた論理アドレスを指示するコードを含む。CMDフィールド93は、第1図のバイ121から取られたコードを含む。SEQフィールド94は、第1図のバイト22から取られた内容を含

む。CCRフィールド95は、記憶システム10によってチャネル指令再試行(CCR)信号がホスト11へ送られたかどうかを示す。キヤツシユ・ミスがMISSフィールド96で表示される5と、チャネル指令再試行信号がホスト11へ送られる。従つて、フィールド96は、キヤツシユ40についてミスがいつ生じたか、記憶システム10が適当なCCR信号を与えたかどうかを示す。CCR信号は、単にホスト11に対して、受取られた周辺指令を実行する場合に遅延が必要であるかどうかを示す。記憶システム10が指令を実行できる状態に達すると、それはホスト11へ装置終了信号を送る。次に、ホストは前の周辺指令を再び送り、その指令が記憶システム10によって15実行されることになる。

PPARMS部分81は、バイト22にあるシーケンシャル・ビットに対応するSEQフィールド100を含み、かつバイト22のRD部分から取られたRDフィールド101を含む。B20 COUNTフィールド102は、シーケンシャル・データとして転送されるべきブロックの数を含む。シーケンシャル・データの各ブロックがホスト11へ転送される度に、B COUNTフィールド102は1だけ減少される。従つて、それはキヤツシユ40を介してホスト11へ転送されるべきブロックの数を示す。BASE CYLフィールド103は、シーケンシャル・データがDASD16から転送される場合のシリンド・アドレスCを含む。即ち、多重シリンド・リクエストにおいて、30 BASE CYLフィールド103は、仮想計算機(VM)ミニディスクの値Cを含む。

CPARMS部分82は、SEEK ADDRフィールド104にDASDシーク・アドレスを含み、SIDフィールド105に最後又は現在のサーチID引35数を含み、SECTORフィールド106に最後又は現在のセット・セクタ値を含む。

RPARMS部分83は、DASD16からキヤツシユ40へのデータ転送が必要であることを示すREQDフィールド110を含む。RIPフィールド111は、DASD16からキヤツシユ40への読み出しが進行中であることを示す。RAフィールド112は、DASD16からの読み出しが完了したこと、またある後処理機能が実行されていることを示す。DADDRフィールド113は、アドレスさ

れている実際のDASD1 6を示すため、バイト2 0(第1図)からの装置アドレスを含んでいる。DIR INDEXフィールド114は、登録簿43の指標値を含む。この指標値は、どの登録簿エントリイが、特定のLDCBレジスタ62で指定された論理装置に対応するエントリイを含むかを表示する。SSARフィールド115は、DASD1 6とキヤツシユ40との間のデータ転送において、どのSSAR58がキヤツシユ40をアクセスするときに使用されるかを示す。SAVEフィールド117は、各種の動作(割込動作を含む)の間、制御データ信号を保存するため、マイクロプロセッサ31Pが使用するLDCBレジスタ62の領域を示す。

ADEBレジスタ76の構成は、登録簿43の各エントリイの構成と同じである。従つて、ADEBレジスタ76の説明は、登録簿43についてもあてはまる。登録簿43及びADEBレジスタ76の各エントリイにおいて、INDEXフィールド107は登録簿エントリイの論理アドレスである。このフィールドは、各エントリイのために自己識別データを含む。フィールド108は、キヤツシユ中に記憶されたデータ、又は記憶のために割当てられたデータに対応するDASD1 6のアドレスを含む。CCPは物理シリンダ・アドレス、即ちDASD1 6のためのシリンダの実際の物理アドレスである。Hはヘッド・アドレスであり、Rはレコード・アドレスであり、Dは装置アドレスであり、SECTORは実際のセクタ値である。このセクタ値は、データ・アクセスが開始されるディスクの回転位置を示す。4つのレコードを有するトラックに対するR値は、1から4まで変化することができ、セクタ値は実際のセクタ・アドレスを示す。DASDをアドレスする場合、R値は、通常のDASDアドレッシング手法におけるように、バイト・レベルの回転位置指示情報へ変換される。R値は、ある種のホスト・オペレーティング・システムにおいて1から120またはそれ以上の数をとることができる。120を超える場合、R値は1つのトラックにあるレコード数Nのモジュロ値へ減少させられる。次いで、モジュロNのR値は、ディスクの回転アドレスへ変換される。そのようなセクタ値は、待ち時間の遅延を最小にして、レコードへのアクセスを開始させるのに適している。

CLLは、物理装置上で限定される論理装置のために与えられるような、論理シリンダ・アドレスである。LINKフィールド109は、1つのハツシユ・クラスの全てのエントリイと一緒に結合するため、単一的にリンクされたリストのデータ信号コードを含む。所与のハツシユ・クラスの最後のエントリイは、特定のコード・パターン(ゼロ)を有する。このコード・パターンは、連鎖の終り、又はクラスの終りを示す。Mフィールド10(Mビット)124は、キヤツシユ40にあるデータが、DASD1 6から受取られた後、変更されたかどうかを示す。Mフィールド124は第1図の部分47に対応する。MRUPフィールド125は、キヤツシユ40の次の「使用時点がより新しい」アドレス可能記憶領域を指すポインタであり、MRUP126は、キヤツシユ40の次の「使用時点がより新しくない」アドレス可能記憶領域を指すポインタである。これらのポインタは、それぞれのエントリイに対するフィールド107の指標値である。MRUPフィールド及びLRUPフィールドは、後に第4図を参照して説明する二重リンクのリストと共に使用される。それぞれの登録簿エントリイに対しては、他のコードを付け加えてよいが、これらのコードは、本発明の理解に必要ではない。

LKPレジスタ25は、制御ストア73にあるプログラム50P, 56P, 61Pによってアクセス可能な領域である。この領域は、これらマイクロコード・プログラムの実行の相互作用を制御するため、リンクエージ・ポート又はメッセージ領域を形成する。1つの実施態様では、プログラム50P及び56Pは1つのコード・セグメントとして処理され、LKPフィールド25は、これら2つのマイクロコード部分によって1つのユニットとしてアクセスされる。コード・ポイント(CP)フィールド85は、制御データをポートに置いたマイクロコード部分を指定する。プログラム61PがエントリイをLKPレジスタ25に置くと、プログラム56Pはその制御データを取出し、その機能を実行する。プログラム56Pが、プログラム61Pからのリクエストに応答して、新しいデータをLKPレジスタ25に置くと、CPフィールド85は、連続した処理のために、プログラム56Pが応答したコード実行中の地点がど

こであるかを、プログラム 61P に教える。PRIORITY フィールド 86 は、LKP フィールド 25 に置かれたリクエストが高優先順位であるか、低優先順位であるか、または連続処理を示すものであるかを表示するコードを含む。V フィールド (V ビット) 87 は、LKP レジスタ 25 のエントリイが有効であるかどうか (即ち、それがアクションを必要とする最近のエントリイであるかどうか) を示す。DADDR フィールド 88 は、DASD 16 のどれが LKP レジスタ 25 の現在の制御データ信号に関連しているかを表示するため、バイト 20 から取られた装置アドレスを含む。PARMS フィールド 89 は、メッセージ (即ち、どの機能が実行されるべきであるか、状況など) と関連した各種のパラメータを含む。

BST レジスタ 78 は、DASD 16 の各々に対する 1 組のレジスタを有する。最初のレジスタは DELEP フィールド 120 を含む。フィールド 120 は、登録簿指標フィールド 122-123 を指定する指標値 1-8 を含む。これらの指標値は、削除されるべき登録簿エントリイを指定する。EK フィールド 121 は、テーブル中にある有効なエントリイの数を含む。更に、それはアドレスとして使用される。例えば、最初の登録簿ボインタ指標は、常にフィールド 122 に記憶され、第 8 番目の指標は、常にフィールド 123 に記憶される。EK フィールド 121 に 3 の値があると、第 3 番目の登録簿指標がアクセスされる。登録簿指標は登録簿 43 のエントリイの論理アドレスであり、従つて登録簿 43 への迅速なアクセスが可能となる。

システム・ストレージ 30 と DASD 16 との間の動作は非同期的であり、かつホスト 11 と DASD 16 との間の動作、及びホスト 11 とシステム・ストレージ 30 との間の動作から実質的に独立している。そのため、読出待ち行列 128 及び書込待ち行列 127 が待ち行列レジスタ 69 に設定される。書込待ち行列 127 は、装置 D0, D1, D2, D3, D4 の各々のために別個の待ち行列を有する。書込待ち行列は、書込動作を表示するエントリイについて、INDEX フィールド 107 に記憶された指標を含む。更に、書込待ち行列は、DASD 16 へアクセスするために必要なアドレスを記憶している。これらのアドレスはシ

ーク引数、サーチ引数、セクタを含んでいる。更に、書込待ち行列は、キヤツシユ・ブロック・アドレスやシステム・ストレージ・アドレス・レジスタ 58 のようなキヤツシユ 40 をアクセスするのに必要なアドレス部分、及び装置マスクを含む。各装置について、書込待ち行列 127 にある次のエントリイを指定し、または次の装置書込動作 (即ち、キヤツシユ 40 中のどのレコードが次に DASD 16 へ書込まれるべきか) を指定するため、リンク・フィールドを設けることができる。従つて、書込待ち行列 127 は、DASD 16 の各々へ書込まれるべきデータ・ブロックにアクセスするため、キヤツシユ 40 のアドレス可能記憶領域に対する 1 つ又は複数の参照項目を含むことができる。各書込待ち行列はフラグ・カウンタ 127F を含む。フラグ・カウンタ 127F がゼロでない時、それはフラグ・カウンタ 127F にある計数値に等しいエントリイが書込待ち行列 127 にあることを示し、フラグ・カウンタ 127F がゼロである時、それは関連した書込待ち行列 127 が空であることを示す。書込待ち行列カウンタ (WQK) 127K は 8 ビットのシフト・レジスタであつて、書込待ち行列 127 のいずれが次にエントリイを走査されるべきかを指定するため、上記シフト・レジスタの 1 ビットがセットされる。各走査は WQK 127K を 1 ビットだけシフトし、それによつて次の書込待ち行列 127 が指定される。

更に、待ち行列レジスタ 69 は読出待ち行列 128 を含む。読出待ち行列 128 の各々はボインタ 129 を有する。ボインタ 129 はラウンド・ロビン待ち行列である。読出待ち行列 128 は、どの論理装置が DASD 16 から キヤツシユ 40 へのデータ転送を必要とするかを指定する LDCB レジスタ 62 のアドレスを含む。ボインタ 129 は、どの論理装置が次にサービスされるべきかを示すため、各読出待ち行列の中にある 3 個の可能なエントリイの 1 つを指定する。ゼロのボインタ 129 は、空の待ち行列を表示する。例えば、装置 D0 のボインタ 129 は 2 を含むが、これは LDCB レジスタ 2 が次にサービスされるべきことを示す。LDCB レジスタ 2 の次に LDCB レジスタ 3 がサービスされる。その次に LDCB レジスタ 1 がサービスされる。D0 は、それに関連した全て

の論理装置について、満杯の読取待ち行列を有する。装置D 1の読出待ち行列は2つのエントリイを有する。それらは、LDCB 1及びLDCB 3である。ポインタ1 2 9の数は3であるから、これはLDCBレジスタ3が次にサービスされるべきことを示している。読出待ち行列1 2 8にアクセスすることによつて、マイクロプロセッサ3 1 Pは、データがホスト1 1によつてリクエストされた順序に関して、適当なシーケンスでDASD1 6からキヤツシユ4 0へデータを転送するため、正しいLDCBレジスタ6 2へアクセスすることができる。本発明を実施するに当つて、他の優先順位決定方式を使用することができる。第3図に示されたレジスタの外に、記憶システム1 0を構成するため他のレジスタを使用することができる。このようなレジスタは、本発明を理解するためには必要でないので、説明を省略する。

LRUリスト4 6は、第1図に示されるような後入れ先出し単一リンク型スタックではなく、第4図に示されるような二重リンク型リストであることが望ましい。第4図のリストは、登録簿4 3の指標に従つて構成される。この指標は、欄1 1 6に示されるようにキヤツシユ・アドレスCADDRに対応する。1の値を有するCADDRは、キヤツシユ4 0の最低メモリ・アドレスに対応し、2の値を有するCADDRは、第2のアドレス可能データ記憶領域のための、キヤツシユ4 0のメモリ・アドレスを示す。以下同様である。欄1 2 5は、キヤツシユ4 0の中で使用時点がより新しいアドレス可能データ記憶領域であるようなエントリイを、LRUリスト4 6の中で指定する。第4図の例では、M+2のCADDRや、欄1 2 5のゼロによつて示されるように、キヤツシユのMRUアドレス可能データ記憶領域である。同様に、欄1 2 6は、次の「使用時点が新しくない」アドレス可能データ記憶領域を指定する。使用時点が最も新しくないものは、欄1 2 6にゼロがあることによつて知られるように、K+2である。注意すべきは、マイクロプロセッサ3 1 Pの中にある作業レジスタ(図示せず)がMRU及びLRUのアドレス可能記憶領域のアドレスを含んでおり、LRUリスト4 6は、LRU端部又はMRU端部(第1図参照)のいずれからも走査できることである。MRU及びLRUのポインタ値は、通常

の二重リンク型リスト・パターンで設定される。例えば、CADDRがK+2のMRUPは1の値に等しい。1の値を有するCADDRを探すと、LRUPはK+2の値を有し、MRUPはMの値を有する。これは、次の「使用時点がより新しい」エレメントである。CADDRがMであるエレメントを探すと、LRUP値は1を有し、MRUP値は2つのハイフンを有する。2つのハイフンは、リストの中に追加のエントリイがあることを示す(説明を簡略にするため、これ以上説明しない)。同様に、CADDRが2である場合、LRUP値は2つのハイフンであり、これはエントリイが省略されていることを示す。可用閾値4 9及びグループ化閾値5 7は、LRUリスト4 6の中でどこにあつてもよい。そのような閾値を走査する場合、走査されたエレメントの数がカウントされ、閾値に達したかどうかを決定するため、ある数値と比較される。これについては、第10図を参照して詳細に説明する。

第5図は、読出データ転送及び書込データ転送におけるCCW及びICWのシーケンスを示す。読出転送は、DASD1 6からホスト1 1へ信号を転送し、書込転送はその反対におけるデータ転送である。CCW連鎖1 3 0は、セット・ページーパラメータ(SPP)指令1 3 2で始まる。第12図は、そのような指令が記憶システム1 0によつて実行される有様を示す。基本的には、SPP指令1 3 2は、キヤツシユ4 0からホスト1 1へ読出されたデータが放棄されることができるかどうかを設定するとともに、CCW1 9(第1図)のバイト2 2で指定された他のパラメータを設定する。1度SPP指令が動作パラメータを記憶システム1 0へ指示すると、シーク指令1 3 3によつて、シーク指令が周辺記憶システムへ転送される。1つの実施例において、シーク・パラメータはSPP指令に含まれている。通常のDASDアーキテクチャに従えば、シーク指令の次にセット・セクタ指令1 3 4が来る。セット・セクタ指令の次にはサーチID等価(SIDE)指令1 3 5が来る。ここで記憶システムは、読出指令1 3 6によつて、アドレスされたDASD1 6からデータを読取る準備を完了する。読出指令を受取ると、記憶システム1 0は、スタッ�1 3 1で示される動作を準備する。先ず、シーク指令、セット・セクタ指令、

ID指令が140でスタックされる。137では、第1図に関して説明したように、登録簿43のサーチが実行される。キヤツシユ・ヒットの場合(即ち、リクエストされたデータがキヤツシユ40にある場合、矢印138で示されるように、データは、直ちにキヤツシユ40からホスト11へ、指令を受取つたチャネル・アダプタ32を介して転送される。他方、登録簿43によつて、データがキヤツシユにないことが示されると、矢印141で示されるように、キヤツシユ・ミスが生じる。そして、矢印142で示されるように、チャネル指令再試行(CCR)信号が記憶システム10によつて与えられる。CCR信号は、いつ装置終了信号が記憶システム10から受取られたか、及び同じ読出指令を記憶システム10へ送ることによつて、読出指令136がチャネルによつて再実行されねばならないことをホスト11へ知らせる。これが起つてゐる間に、記憶システム10は、シークICW143で始まるICW連鎖143-148を組立てて。シークICW143は、ホスト11から受取られたスタックのシーク指令から引出される。多重トラック動作においては、ICWはサーチIDパラメータから引出される。シークICW143の次にセット・セクタICW144が来る。セット・セクタICW144は、レコード番号から計算されたセクタを有する。145において、局所入力によつてセット・キヤツシユICW145が生じる。このICWによつて、プログラム56Pは、読出されるべきデータが記憶されるシステム・ストレージ30のアドレスを、適当なシステム・ストレージ・アドレス・レジスタへ入れる。もし複数のデータ・ブロックが転送されるべきであれば、146で示されるように、複数のセット・キヤツシユICWが起る。次に、SIDE指令135に対応するサーチID等価ICW147が起る。サーチID等価ICW147は、最初のセット・キヤツシユICW145に対応する。これは、複数のデータ・ブロックが、1つのSIDE指令147を使用して順次に読出されることを意味する。次に、転送されるべきデータ・ブロックの数に等しい読出ICW148がプログラム56Pへ与えられる。それは、セット・キヤツシユICWの数によつて示されたデータ・ブロックの数を読出すためである。アドレスされた

DASD16から、キヤツシユ40のシステム・ストレージ・アドレス・レジスタ58によつて指定されたアドレスへ、データを転送する読出動作が完了すると、記憶システム10は、ホスト11へ矢印150によつて示されるように装置終了(DE)信号を与える。ホスト11は、指令136に対応する周辺指令を151で再び出すことによつて、直ちに応答する。勿論、記憶システム10は152で登録簿43をサーチし、その結果、ICW連鎖が実行されたばかりであるから、キヤツシユ・ヒットを生じる。次に、データは、矢印153で示されるように、キヤツシユ40からホスト11へ転送される。136において、リクエストされたデータ・ブロックについて、データが転送されなかつた場合、他のキヤツシユ・ミスが生じ、エラー状況がホスト11へ報告される。このエラー状況は、記憶システム10が、DASD16のリクエストされたシリシング及びヘッド・アドレスからデータを転送できなかつた事実を反映する。その場合、ホスト11は、標準のディスク記憶装置回復手法を使用して、直接アクセスの経路からデータを転送することができる。省略符号154は、前述した動作が反復されること、及び複数のDASD16について複数のCCW連鎖が間挿されてよいことを示す。ICW連鎖は、必ずしもCCW連鎖の順序に従わなくてもよい。状況に応じて、ICW連鎖は、後に発生するCCW連鎖によつて組立てられかつ使用されてよい。そのような可能性は、CCW連鎖に関してICW連鎖の非同期的的局面を示す。通常、最初のCCW連鎖によつて、最初に発生するICW連鎖を生じる。任意の時点で、別個のICW連鎖が各装置に対してアクチブであつてよい。シーク、セット・セクタ、SIDEの指令133-135は周知であるから、これ以上説明しない。

第6図はシーケンシャルな読出データを転送するためのマシン動作を示す。160において、受取られた指令は、プログラム50Pによつて処理される。次に、LKPレジスタ25を介して、プログラム61Pがマイクロプロセッサ31Pによつて能動化される。161で、指令は再びプログラム61Pによつてデコードされる。それは読出指令であるから、第1図に関して説明したようにして、登録簿43がサーチされる。163で、登

録簿のサーチの結果、キヤツシユ・ヒットが生じたか、キヤツシユ・ミスが生じたかを、マイクロプロセツサ31Pが決定する。キヤツシユ・ミスの場合、164で、指令及びその制御情報を待ち行列レジスタ69に置くことによって、受取られた指令が待ち行列に入れられる。また、CCR信号がホスト11へ送られる。待ち行列69は任意の様式を有してよい。待ち行列69は、DASD16の各々に対する先入れ先出し(FIFO)待ち行列である。即ち、8個のDASD16があれば、8つの待ち行列が存在する。FIFO待ち行列を使用することによって、所与の装置に関して、ホストに対する応答の順序が、確実にホストによって送られた指令の順序に対応することとなる。待ち行列レジスタ69から、プログラム64Pは、スタツク131を形成することによって、アドレスされたDASD16からの読み出しを起動する。

163で、登録簿サーチによってキヤツシユ・ヒットが生じると、キヤツシユ40は、170で、適当なチャネル・アダプタ32を介して、自動的にデータをホスト11へ転送する。キヤツシユからホストへの、そのような自動的転送は周知であるから、詳細に説明しない。自動的データ転送の間に、エラーが起る場合がある。従つて、エラーが検出されると、マイクロプロセツサ31Pは、エラー報告分析ルーチンへ行く。概して、データ転送にエラーは生じない。171で、データ転送が成功裡に終了すると、マイクロプロセツサ31PはLDCBレジスタ62にアクセスして、RDフィールド101を検査する。もしRDフィールド101に「読み出し及び放棄」が表示されていれば、173で、マイクロプロセツサ31Pは、キヤツシユ中に読み出したばかりのデータ・ブロックについて、制御ストア73の放棄リスト38の中に「放棄」を表示する。放棄は、指令が実行されていない時、マイクロプロセツサ31Pがシステム・ストレージ30の登録簿43にアクセスして、そのエントリイを消去することにより実行される。置換アルゴリズムが呼出される前に、データを放棄することは、キヤツシユ40を効率的に管理するのに必要な制御手順を減少させる。即ち、自由な(解放された)アドレス可能データ記憶領域は、それらが必要とされる前に確保されることになる。171で、RD=0であれば(読み出

し及び放棄でない)、175で、マイクロプロセツサ31Pは、登録簿43の或るフィールドによつて(図示せず)、データがキヤツシユ40へ固定されるべきかどうかを決定する。キヤツシユ40へのデータの固定は、登録簿43の固定フラグ(図示せず)がホスト11の指令によつて消去されるまで、そのデータをキヤツシユ40から消去できないことを意味する。もしデータがキヤツシユへ固定されるのでなければ、176で、読み出されたばかりのブロックは、登録簿43のLRUリスト中で、「使用時点の最も新しい」(MRU)ブロックとされる。177で、本発明と無関連の論理ステップがマイクロプロセツサ31Pによつて実行される。次に180で、LDCBレジスタ62が再びアクセスされて、SEQフィールド100が検査される。もしアドレスされたDASD16に関してシーケンシャル・データが表示されていれば、182で、マイクロプロセツサ31PはLDCBレジスタ62のB COUNTフィールド102を検査する。それは、ブロック・カウント(BK)が0に等しいかどうか、即ち、転送されたばかりのブロックが、データのシーケンス中最後のブロックであるかどうかを調べるためである。もしそれが最後のブロックでなければ、183で、ブロック・カウントが1だけ減少される。ステップ180, 182, 183及び論理通路181は、マイクロプロセツサ31Pをプログラム50Pへ導く。それは、通常の態様で、最終状況をホスト11へ報告するためである。

第7図及び第8図は、待ち行列レジスタ69の中の読み出し待ち行列を走査し、記憶システム10の内部指令であるICW連鎖を発生する動作フローを示す。リクエストされた読み出し指令が待ち行列に入れられた後、マイクロプロセツサ31Pは記憶システム10に各種の機能を実行させる。例えば、そのような機能は、チャネル・アダプタ32を介して受取られた指令に応答すること、読み出し指令を転送したチャネル・アダプタ32から受取られた他の指令を実行したりすることを含む。ホストからの周辺指令の受取りが休止すると、シーク指令及びセット・セクタ指令がマイクロプロセツサ31PによってDASD16へ送られる。キヤツシユ40がデータをホスト11へ送つたり、ホスト11からデータを受取つたり、DASD16へデ

ータを送つたり又はそこからデータを受取つてゐる間に生じる制御活動が休止すると、マイクロプロセッサ31Pは、そのタスク指名マイクロコード（これは第2図に示されるOP75の1部である）を介して、待ち行列レジスタ69を含む作業テーブル（図示せず）を走査する。もし待ち行列レジスタ69の中の待ち行列が空であれば（即ち、読み出しも書き込みも起るべきでない）、マイクロプロセッサ31Pは論理通路192をたどつて190へ戻る。もし191で、ポインタ129（第3図）を走査することによって、読み出しが待ち行列に入れられていることが検出されると、193で、読み出しが成功すると、195でLDCBレジスタ62がアクセスされ、ODEフィールド90が1へセットされる。それは、読み出しが成功裡に完了した時、装置終了信号を出すべきであることを示す（第5図の矢印150を参照）。196で、本発明と無関連の機能が実行される。次に200で、アドレスされたDASDに対応するバッファ・レジスタ77（第2図）の中で、第1図のバイト27にあるビットがセットされる。それは、論理連鎖が生じること、即ちアドレスされたDASD16に対する来たるべきアクセスで、1つ以上のICWが使用されることを示す。201で、LDCBレジスタ62が再びアクセスされて、SEQフィールド100の値が検査される。シーケンシャル・データが表示されていれば、マイクロプロセッサ31Pはステップ202へ進す。それは、来たるべきICW連鎖のためのブロック・カウント（BK）を、受取られたページング・パラメータ（PA）に等しくセットするためである。

所与のICW連鎖を介して転送されることのできるブロックの最大数は、システム・ストレージ・アドレス・レジスタ（SSAR）58の数に等しい。例えば、SSARが8個の場合、転送されるブロックの数は、最大8個である。更に、遅延境界を考慮に入れなければならない。例えば、転送されるべき8個のブロックが2個のシリンドラにア

クセスすることを必要とすれば、最初にアクセスされたシリンドラにあるブロックのみが転送される。もし8個のブロックの中で、最初のシリンドラに4個のブロックがあり、第2のシリンドラに4個のブロックがあれば、ブロック数は4にセットされる。この方法は、一連のブロックを転送するために必要な時間を最小にし、全ての転送が電子的速度で完了することを可能にする。所与のシリンドラの最初のブロックでミスが生じた場合、8個のブロックまで自動的に転送される。更に、ブロックの最大数は、B COUNTフィールド102にある数値より決して大きくなない。ICWの構成は、シリンドラ境界が所与のICW連鎖によって決して交差されないようにになっている。このような計算は、通常のプログラミング手法によって実行することができ、これ以上詳細に説明しない。ステップ201で、もしシーケンシャル・データが表示されなければ、ステップ203で、転送されるべきブロックの数は、1へセットされる。これらの数値は、連鎖フラグ、DASDアドレス、及び他の装置制御データと共にバッファ・レジスタ77へ与えられる。204で、SSAR58の識別記号が0へセットされる。これは、マイクロプロセッサ31Pが、識別記号0を有するSSARにアクセスすることを意味する。

205で、第1図のCCW19を介して受取られた論理アドレスLDADDRが、DASD16の物理アドレス（DADDR）へ変換される。この動作は、論理アドレス表示ビットを削除するため、單に論理アドレスをマスクすることによって達成される。206で、本発明と無関連の機能が実行される。論理コネクタ207は、第8図で説明されるマシン動作流れ図の論理コネクタ243から接続される。即ち、190から206までの論理ステップの全ては、準備ステップであり、次に説明するステップは、連続したデータ・ブロック転送を実行するため、ループとして反復可能なステップである。

ループ中の最初のステップ210は、キヤツシユ40の中でスロット又はアドレス可能データ記憶スペースを割振る。通常の割振手順がとられる。即ち、自由リスト中のアドレス可能ユニット（スロット）が、DASD16から来た最初の信号ブロックを受取るため、アドレス可能のユニット

又はスロットとして指定される。次に、そのスロットは自由リスト (FBLレジスタ 79) から除かれ、マイクロプロセッサ 31P の中にある内部レジスタに表示される。それは、キヤツシユ 40 の中のスロットを指定するため、登録簿 43 の中のどのエントリイが使用されるべきかを示す。注意すべきは、キヤツシユ 40 にある各アドレス可能スロットのために、登録簿 43 の中に 1 つのエントリイ・レジスタが設けられていることである。従つて、キヤツシユ 40 にあるデータの実際のアドレスは、登録簿 43 のエントリイを含むレジスタから直接に引出すことができる。

ステップ 202 又は 203 で設定されたプロック数に等しい数のスロットが割振りを試みられた後、211 で、マイクロプロセッサ 31P は割振りプロセスでエラーが生じたかどうかを決定する。もしエラーが生じたのであれば、DASD 16 からキヤツシユ 40 へ、プロックの全数が成功裡に転送されなかつたのかも知れない。従つて、エラー条件が生じると、212 で、マイクロプロセッサ 31P は、LDCBレジスタ 62 のSEQフィールド 100 を調べて、データ転送がシーケンシャル転送であるかどうかを決定する。もしそれがシーケンシャル転送でなければ、マイクロプロセッサ 31P は論理通路 213 をたどつて、プログラム 50P へ戻り、1 つのプロックに対しスペースを利用可能とするため、置換アルゴリズムの制御を待機する。シーケンシャルなデータ転送である場合、214 でマイクロプロセッサ 31P は、転送されるべき最初のプロック上でエラーが生じたのかどうかを決定する。もしそれが最初のプロックであれば、マイクロプロセッサ 31P は論理通路 216 を介してプログラム 50P へ戻る。そし割振りのエラーが最初のプロックについて生じたのでなければ、先行するプロックのデータ転送が起る。マイクロプロセッサ 31P は通路 217 をたどつてステップ 220 へ至る。それは、割振されない領域において転送されるべきプロックの数を ICW から除去するためである。即ち、割振エラーに関連させることのできるプロックから始まる全ての所望のプロックが、ICW 連鎖から除去される。

次にステップ 211 に戻つて、もし割振エラーが起らなかつたのであれば、218 で本発明と無関連の機能が実行される。これらは割振りに関連しないマイクロコード論理エラーを分析することを含む。もしそのようなマイクロコード・エラーのために、スロットが割振られなかつたのであれば、除去ステップ 220 が実行されて、DASD 16 からキヤツシユ 40 へ転送されるプロックの数が減少される。エラーが生じない場合、又は除去ステップの後、マイクロプロセッサ 31P は 221 で本発明と無関連の論理ステップ 10 を実行する。222 で、LDCBレジスタ 62 の SEQフィールド 100 が検査される。もしSEQフィールド 100 がゼロに等しければ (即ち、シーケンシャルでないデータ)、223 で、データを受取るべきキヤツシユ 40 中のスロットに対応する、登録簿 43 のエントリイの指標が、RPARM部分 83 のフィールド 114 へ入れられる。シーケンシャル・データの場合、又は指標が LDCBレジスタ 62 へ入れられた後、224 で、後にシステム・ストレージ・アドレス・レジスタ 58 へ挿入されるべきキヤツシユ・アドレスが、LDCBレジスタ 62 へ挿入されたばかりの登録簿指標から発生される。この発生は、単にオフセットを登録簿指標の各々へ付け加えることによつてなされる。次に 225 で、SEQフィールド 100 がシーケンシャル・モードを示すと、プロック・カウント (BK) が 1 より大きいかどうかを調べるため、マイクロプロセッサ 31P は B COUNTフィールド 102 を検査する。次に 232 で、マイクロプロセッサ 31P は、転送されつつあるプロックのシーケンス中にある最初のデータ・プロックが、現在処理されているかどうかを調べる。もし処理されていなければ、233 で、第2のプロックに対する新しいキヤツシユ・アドレスが与えられる。次に 234 で、バツフア・レジスタ 77 の中で、第2又は他のプロックに対応するシステム・ストレージ・アドレス・レジスタ (SSAR) 58 がキヤツシユ・アドレスへセットされ、フラグがセットされ、登録簿 43 に対するポインタがセットされ、キヤツシユ・アドレスを受取るべき SSAR 58 が指定される。更に、バツフア・レジスタ 77 の中に、実行すべき他の機能を限定してよい。

ステップ 225, 231, 232 へ戻つて、論理通路 226 は本発明と無関連のステップ 227

へ進み、次いでマイクロプロセッサ31PはLDCBレジスタ62へ進んで、RPARMS部分83のフィールド116に発生されたキヤツシユ40のアドレスを記憶する。次いでマイクロプロセッサ31Pは本発明と無関連のステップ229を実行し、論理コネクタ235を介して第8図の論理ステップへ進む。

第7図の論理コネクタ235は、第8図の論理コネクタ240へ接続される。241で、マイクロプロセッサ31Pは、第3図のEKフィールド121を増加することによって、SSAR58へのポインタを更新する。242において、マイクロプロセッサ31Pは、キヤツシユ40へ転送されるべきデータ・ブロックの全てが、キヤツシユ40の中でスペースの割振りを受けたかどうかを決定する。もし受けていなければ、マイクロプロセッサ31Pは、論理コネクタ243を介して、第7図の論理コネクタ207へ戻り、他のデータ・ブロックのためにキヤツシユ40のスロットを割振る。このループは、EKフィールド121が転送されるべきブロック数に等しいカウントを含むようになるまで反復される。

前記のループを完了した後、本発明と無関連の論理ステップが244で実行される。245で、読出指令がICWにセットされて、DASD16のためのデータ読出指令が表示される。250で、LDCBレジスタ62がアクセスされて、PRARMS部分81にあるSEQフィールド100がセットされているかリセットされているかが決定される。セットされていれば、251で、マイクロプロセッサ31Pは、受取られたブロック・カウントが1より大きいかどうかを決定する。もしそれが1より大きければ、ICW24の指令修飾バイト27の中にセットされる。1より大きくなれば、ステップ250又は251から、バイト27の連鎖表示をリセットすることによって、連鎖終了表示EOCが表示される。254で、制御ストア73にあるバッファ・レジスタ77は、ICWを受取る。即ち、コード、フラグ、及び他の記憶動作表示(STOROP)が受取られる。240で、マイクロプロセッサ31Pは再びLDCBレジスタ62のSEQフィールド100を調べて、それが0に等しいかどうか(即ち、シーケンシャルでないかどうか)を決定する。もし1つの

ブロックだけが転送されるのであれば、マイクロプロセッサ31Pは論理通路256をたどり、構成されたばかりのICWをLKPレジスタ25を介してDACプログラム56Pへ転送するため、ステップ257を実行する。

シーケンシャル・データ転送の場合、マイクロプロセッサ31Pはステップ255からステップ260へ進み、EKフィールド121を次のエントリイへ調整する。次に261で、もし残りのブロック・カウントが1より大きくなれば、257で、ICW24がLKPレジスタ25を介してDACプログラム56Pへ転送される。残っているブロック数が1より大であれば、ループ270が実行されて、連鎖中の残りのICW24が設定される。271で、「カウント、キー、データ」読出指令及び多重トラック指令がセットされる。272で、マイクロプロセッサ31Pは、シーケンシャルなブロック群の中の最後のブロックが処理されるべきか否かを決定する。もし処理されるべきでなければ、形成されつつあるICWのバイト27にある連鎖フラグが1へセットされる。処理されるべきであれば、274で、連鎖フラグをリセットすることによって、連鎖状態の終り(EOC)が表示される。275で、形成されたばかりのICW24がバッファ・レジスタ77へ転送される。276で、キヤツシユ・アドレスCADDRがバッファ・レジスタ77に記憶され、それが直ちにバースト転送のためにSSAR58へ転送されることができるようになる。277で、マイクロプロセッサ31Pは、データ・ブロックが最後のブロックであるかどうかを決定する。もし最後のブロックでなければ、ループは278で調整され、通常の制御手法を用いて、内部レジスタ内のカウントが調整される。最後のブロックであれば、ステップ257が実行される。ループが278で調整された時、ステップ271から277までが実行される。

プログラム56PがICW連鎖を受取ると、それはチャネル・アダプタ32を通して受取った連鎖指令を実行するようにして、ICW連鎖を実行する。このような動作は周知であるから、ICW連鎖の実行はこれ以上説明しない。注意すべきは、DASD16からキヤツシユ40へ信号を転送する時、プログラム56PはDASD16へアドレ

シングするのみならず、バッファ・レジスタ 77 のキヤツシユ・アドレスをSSAR 58へ与え、数ブロックのデータが单一のデータ・ストリームで転送される能够とする。即ち、多重トラック転送ができるとする。転送が終ると、プログラム 56Pは、エラー表示を含む結果の状況をLKPレジスタ 25へロードする。次にマイクロプロセッサ 31Pの動作は、プログラム 56PからCACプログラム 61Pへ切換えられる。

第9図は、キヤツシユ・ミスに統いて、マイクロプロセッサ 31Pを介して実行されるマシン動作を示す。これらのマシン動作は、例えば、第6図のステップ 164で起る。280で、マイクロプロセッサ 31Pはアドレスされた論理装置に対するLDCBレジスタ 62にアクセスし、FOUND部分 80のCCRフィールド 95及びMISSフィールド 96を1へセットする。その動作は、キヤツシユ・ミスが生じたため、チャネル指令再試行信号がホスト 11へ送られたことを示す。これについて、後に第11図を参照して説明する。次に281で、マイクロプロセッサ 31Pは、FBL 4自由ブロック・リスト) レジスタ 79を検査して、キヤツシユ 40のアドレス可能データ記憶領域又はブロックが割振りのために解放されているかどうかを決定する。キヤツシユ 40からDASD 16へ、データを早期に転送しておれば、可能性としていくつかのブロックが解放されているであろう。FBLレジスタは、LRUリスト 46の部分 47がゼロに等しいことを必要とするように構成するのが望ましい。LRUリスト 46の中に解放されたブロックを表示することによって、指定されたデータのアドレス可能性が維持される。ステップ 301-307はこの動作を示す。解放されたブロックを発見すると、マイクロプロセッサ 31Pはステップ 284への論理通路 282をとる。ステップ 284では、FBLレジスタ 79から解放された自由ブロックの表示が除去され、登録簿 43の対応するエントリイが現在の識別表示から変更され、その時キヤツシユ 40へ割振られつつあるDASD 16のアドレス可能記憶領域が表示される。そのような割振動作の間にエラーが発生すると、マイクロプロセッサ 31Pはステップ 284から論理通路 285をたどつてエラー回復

手順へ進む。別個のFBLレジスタ 79が設けられている場合、割振ステップ 284は、第11図を参照して説明するように、論理コネクタ 283を介してデータ転送動作に統いて実行されてよい。

284で、キヤツシユ 40のアドレス可能データ記憶領域の割振りが成功すると、286で、マイクロプロセッサ 31PはLDCBレジスタ 62のCMDフィールド 93にアクセスし、キヤツシユ・ミスがチャネル読出型の指令から生じたのか、チャネル書込型指令から生じたのかを決定する。チャネル書込型指令の場合、287で、装置終了(DE)信号がホスト 11へ与えられる。即ち、書込指令に対するキヤツシユ・ミスを処理する場合、必要なことは、ホスト 11からデータを受取るため、キヤツシユ 40の中でスペースを割振ることである。マイクロプロセッサ 31Pが十分に早い時、書込指令のミスに対してCCR信号を送らなくてもよい。その場合、ステップ 284及び 286がステップ 280に先行する。次にステップ 280が、ステップ 291の前にあるように、キヤツシユ読出ミスのサーチに対してのみ実行される。286において、読出動作が表示されると、291で、マイクロプロセッサ 31Pは関連したDASD 16のために読出待ち行列(第3図)をセットする。例えば、装置D 2の場合、それに関連したLDCBレジスタ 2に対するキヤツシユ・ミスは、読出待ち行列 128に図示されたエントリイを生じる。マイクロプロセッサ 31Pは、読出待ち行列を設定した後に、292の動作へ進む。292の動作は、記憶システム 10の中で実行されるべき作業をサーチするタスク指令ステップ 190を実行することを含む。ステップ 190を実行した結果として、実行すべくスケジュールされた読出動作を決定するため、読出待ち行列 128が走査される。次に、293で、マイクロプロセッサ 31Pは、リクエストされたデータ・ブロックをDASD 16(例えば装置D 2)からキヤツシユ 40へ転送する。勿論、これは、マイクロプロセッサ 31Pが読出待ち行列 128の情報を、プログラム 56Pによって使用されるLKPレジスタ 25へ与えることを含む。1度、プログラム 56PがICW連鎖から必要な情報を受取ると、データは、既知のDASD読出手法を用

いて、アドレスされたDASD 1 6からキヤツシユ 4 0へ転送される。その読出動作が終了すると、2 9 4で、マイクロプロセツサ 3 1 Pは、装置D 2に対するLDCBレジスタ 6 2のCCRフィールド 9 5及びMISSフィールド 9 6を検査する。その検査によつて、マイクロプロセツサ 3 1 Pは、DASD 1 6からキヤツシユ 4 0への読出動作がキヤツシユ・ミスから生じたことを確認する。これは、2 9 4で示されるように、装置終了信号がホスト 1 1へ与えられることを必要とする。

キヤツシユ・ミスを生じたチャネル指令の再実行は、少し遅れて起る。即ち、ホスト 1 1は、チャネル指令を再び出すことによつて、ステップ 2 8 7又は2 9 4で送られた装置終了信号に応答する。程なく、2 8 8で、記憶システム 1 0は、ホスト 1 1によつてリクエストされた全ての種類のデータ記憶動作及び非同期的動作を実行するため、本発明と無関連の指令を受取る。2 9 0で、ホスト 1 1は第2回目の指令を与え、登録簿 4 3をサーチしている記憶システム 1 0は、今や第6図のステップ 1 6 3で生じるようなキヤツシユ・ヒットを有し、その結果、データはキヤツシユ 4 0からホスト 1 1へ転送される。2回目に出された指令が完了すると、記憶システム 1 0は、タスク指名ステップ 1 9 0を介して、他のデータ動作へ進む。

FBLレジスタ 7 9によつて、キヤツシユ 4 0に解放されたブロックがないか、又はLRUリスト 4 6を走査した結果、部分 4 7がゼロであるエントリイがない場合、キヤツシユ 4 0のアドレス可能記憶領域のあるものが解放されて、割振ステップ 2 8 4の実行を可能にしなければならない。そのような解放はキヤツシユ・ミスの結果だけでなく、タスク指令ステップ 1 9 0の動作が作業を走査している時にも生じる。例えば、所定の優先順位に従つて、ステップ 1 9 0はマイクロプロセツサ 3 1 Pをして論理通路 2 9 9をたどらしめ、定期的又は非定期的に、次に説明するループ 3 0 0のマシン動作を実行させる。それは、FBLレジスタ 7 9が、キヤツシユ・ミスから生じた割振要件を満足させるエントリイを有するようにさせるためである。その場合、FBLレジスタ 7 9が空でないと、キヤツシユ・ミスを有する書込指令について、割振ステップ 2 8 4を迅速に実行さ

せ、前述したようにホスト 1 1へチャネル指令再試行 (CCR) 信号を送るのをやめることができる。CCR信号の送信中止は、記憶システム 1 0の望ましい動作モードである。

本発明の場合、キヤツシユ 4 0からDASD 1 6へのデータ転送動作（以下、カースト・アウト動作ともいう）では、転送されるデータが指定されるのみならず、キヤツシユ 4 0のいくつかのアドレス記憶領域からの複数のデータ・ブロックが、10 グループとしてまとめられる。DASD 1 6が、電気的切換えにより複数の変換器によつてアクセス可能な複数のシリングを有する場合、シリングに記憶可能なデータ・ブロックの全て、及び最初に指令されたデータ・ブロックは、DASD 1 6の15 回の選択の間に、記録のためにグループ化される。ある情況の下では、データ・ブロックの数は、所与のシリングにおけるトラックの全数より少ない数に制限されてよい。例えば、システム・ストレージ・アドレス・レジスタ 5 8が8個しかない時、最大8個のデータ・ブロックを転送することができる。キヤツシユ・アドレスを即時に利用可能とすることから独立して、全ての転送を十分に早く処理するように動作するキヤツシユ 4 0の場合、転送されるデータ・ブロックのグループにおけるデータ・ブロックの最大数は、シリングにおけるトラック数に等しい。データ・ブロックがトラックのサブセットである場合（例えば、各データ・ブロックがトラックの4分の1を占める場合）、SSAR 5 8が8つであれば、8つのブロックが転送される。同じように、所与のシリングにおいて、2つのトラックでデータの記憶が起る。グループ化の要件については、他の順序置換方法を採用してよい。そのようなグループ化及び書込みは、第10図を参照して説明するように、タスク指令ステップ 1 9 0の動作によつて生じる。

これまで説明した走査及びグループ化は、マイクロプロセツサ 3 1 Pのかなりの動作時間を必要とする。従つて、第9図のステップ 2 8 1で自由なブロックがない時、マイクロプロセツサ 3 1 Pは、カースト・アウト動作へ行かないで、LRUリスト 4 6を調べて、キヤツシユ 4 0で変更されないで記憶されているデータ・ブロックがあるかどうかを調べる。LRUリスト 4 6の中で、部分

41

47 (第1図) にある変更 (M) ビットが0のエントリイは、割振可能な（即ち、自由な）ブロックのリストを構成する。第3図のADEBレジスタ76にあるMフィールド124は、そのようなエントリイについてゼロである。従つて、部分47の変更ビットが検査される。そして、LRUリスト46の中でMビットがゼロである最初のエントリイが、ホスト11又はDASD16からデータを受取るように割振られる。そのような走査は、LRUリスト46のLRU端部 (LRU+0) のところで始まる。LRUリスト46の走査は、制御ストア73 (第2図) のJカウンタ37によつて制御される。Jカウンタ37は、それをオール・ゼロへセットすることによつて301で初期化される (第9図)。Jカウンタ37がゼロの時、LRUリスト46を走査しているマイクロプロセッサ31Pは、キヤツシユ40で使用時点の最も古いデータ・ブロックを指定するエントリイにアクセスする。ステップ301の初期化の後、ループ300は、LRUリスト46の走査を制御する。先ず、302で、LRU+Jのエントリイがマイクロプロセッサ31Pへ読出される。これは、LRUリスト46でINDEXフィールド107を通して指定された登録簿43のエントリイが、システム・ストレージ30からADEBレジスタ76へ略読出されることを意味する。303で、登録簿43から読出されたばかりのエントリイが調べられ、Mフィールド124がゼロであるかどうか決定される。もしMフィールド124がゼロであれば、それは変更されていないデータであり、キヤツシユ40に記憶されたデータは、DASD16中に記憶された対応するデータに等しい。次に304で、決定されたディレクトリイ43のエントリイ及びADEBレジスタ76の内容を削除することによつて、キヤツシユ40の決定されたばかりのアドレス可能記憶領域が、割振りのために解放される。次にループ300は終了し、通路282がとられて、割振ステップ284へ進む。もしMビットがゼロなければ、マイクロプロセッサ31Pは、ループ300を通つて、LRUリスト46の40次の「使用時点が最も古い」エントリイを指定するように進行する。305で、Jカウンタ37へ1が加えられる。306で、マイクロプロセッサ31Pは、新しいJカウンタの値と、(N+1)

42

の値と比較する。N+1は、第1図の可用閾値49のすぐ上にあるLRUリスト46のエントリイに対応する。MRU-MはLRU+(N+1)と同じ値であることに注意されたい。JカウンタがN+5より小さい時、マイクロプロセッサ31Pはステップ302へ戻り、303のブランチによつてデータが変更されていないことが決定されるか、可用閾値49に達するまで、ループ300が反復される。次に、307で、マイクロプロセッサ31Pは、タスク指名ステップ190へ戻る前に、いくつかの無関連の機能を実行する。ステップ306から190へ戻つた時、キヤツシユ・ミスの結果 (読出しであつても書き込みであつても)、キヤツシユ40に記憶されるべきデータについて、15キヤツシユ40内にスペースは割振られていない。所望されたデータ転送は、キヤツシユ40中のデータがDASD16へ転送されるまで待たなければならない。データのDASD16への転送は、変更されないブロックを284で割振らせること20になる。

キヤツシユ・ミスが生じた後、又はタスク指名ステップ190の定期的走査中に、キヤツシユ40の中で変更されないデータ・ブロックが存在しなければ、記憶システム10は第10図の流れ図25に従つてLRUリスト46を走査する。書き込み又は読出されるべきデータについて、キヤツシユ40中に利用可能なスペースを作るため、自由ブロックを設定する上記の走査は、2つの大きな段階で行なわれる。第1の段階は、放棄リストDL308を調べて、データの放棄が可能かどうかを決定することである。第2の段階は、LRUリスト46が最も使用時点の古いエントリイから可用閾値49まで走査される。この走査でヒット (変更されたデータ) が生じると、そこからグループ化閾値57まで第2の走査が始まり、所与のDASD16上に記録されるべきデータ・ブロックの群が設定される。DASD16は上記ヒットによつて決定された、キヤツシユ40の変更されているデータを記憶する。

自由なリストがLRUリスト46の1部として含まれている時、キヤツシユ・ミスの後の検査はステップ281を省略し、ステップ301を介してループ300へ直接に進む。勿論、299の論理入力は、種々の理由で生じてよい。

ここで第10図を参照すると、マイクロプロセッサ31Pは論理通路310をたどつて、なされるべき作業を探す。311で、第2図の放棄リスト38がエントリイを有するかどうかを検査される。もし放棄リスト38の中にエントリイがあれば、312で、そのエントリイが取出される。それは、登録簿43のどのエントリイが削除されるべきであるか（ステップ313）を決定し、かつ指標値（ADEBレジスタ76のINDEXフィールド107）をFBLレジスタ79へ転送するためである。これらの動作は、キヤツシユ40のために自由ブロックを作る。次に、マイクロプロセッサ31Pは、LRUリスト46の走査のためにループ316及び330へ進むことができる。ステップ314では、LDCBレジスタ62のCCRフィールド95及びMISSフィールド96が1へセットされる論理装置であるかどうか検査される。もしそのような論理装置であれば、マイクロプロセッサ31Pは論理コネクタ319を介して第9図のステップ284へ進む。次いでステップ284から294までが、LDCBレジスタに表示されたCCRフィールド95に関して、記憶システム10の動作を完了する。この時点で、マイクロプロセッサ31PはCCRフィールド95をクリアしない。なぜならば、それは次に受取られた指令を検査して、その指令がチャネル指令再試行の結果として送られたかどうかを決定するからである。

ステップ311で、放棄リスト38にエントリイがないか、314で、CCRフィールドをセットされているLDCBレジスタがなければ、マイクロプロセッサ31PはLRUリスト46を走査するステップへ進む。315で、Jカウンタ37をゼロへセットすることによって、走査が開始される。次にループ316が開始され、LRUリスト46の最も使用時点が古い指標値から可用閾値49まで走査が実行される。ループ316は、LRU+Jに記憶された指標値によって指定された登録簿43のエントリイを読み出すステップを含む。ループ316を最初に通る時のJカウンタはゼロである。従つて、マイクロプロセッサ31PはLRUリストの使用時点が最も古いエントリイを読み出して、318でMフィールド124を調べる。Mフィールドがゼロである時、320でJカウンタは1だけ増加される。次に321で、Jカ

ウンタの値がN+1（LRUリスト46で可用閾値49のすぐ上にあるエントリイ）と比較される。JカウンタがまだN+1に等しくなければ、ループ316が反復される。ループ316が完了すると、論理通路337がとられて、マイクロプロセッサ31Pはタスク指名ステップ180へ戻される。この場合、LRU+0と可用閾値49との間で指定された全てのデータ・ブロックは、変更されたデータを有しない。即ち、第10図に示されたマシン動作は十分な回数だけ実行されたか、他のアルゴリズムによって、可用閾値49の下にあるエントリイによって表わされるキヤツシユ40の全ての変更されたデータが、DASD16へ転送されている。この場合、キヤツシユ40からデータを転送する必要はない。第9図のステップ303で、新しい割振りによつて変更されないデータ・ブロックが発見されるからである。

第10図において、検査されている登録簿43のエントリイのMフィールド124、又はLRUリスト46中の部分（Mビット）47が1である時、走査中に書き込みヒットが起つてゐる。次にマイクロプロセッサ31Pは論理通路325をたどり、現在検査されているエントリイで指定された装置について、書き待ち行列（WQ）127へLRU+Jの指標値を転送する。上記の装置は、ADEBレジスタ76のフィールド108にあるDフィールドで指定されている。例えば、もし装置D2がDフィールドに指定されれば、対応する書き待ち行列127は、ADEBレジスタ76のフィールド107から指標値を受取る。この時点で、装置D2に対応するフラグ・カウンタ127Fは、1だけ増加される。もし書き待ち行列が空であつたならば、フラグ・カウンタは1の値を含む。空でなければ、フラグ・カウンタは書き待ち行列におけるエントリイの数を反映している。この指標値は、キヤツシユ40からDASD16へ転送されるべき、最初の指定されたデータ・ブロックを表わす。ヒットの発生はループ316を終了させ、マイクロプロセッサ31Pにループ330を実行させる。

ループ330はLRUリスト46を走査するが、その走査はヒット位置（例えばLRU+1）からグループ化閾値57まで、又は最初に決定されたデータ・ブロックとグループにすることがで

きる、適当な数のデータ・ブロックが決定されるまでである。キヤツシユ 40 中でグループにすることができるデータ・ブロックは、最初に決定されたデータ・ブロックのCCP値 (ADEBレジスタ 76 のフィールド 108 参照) に等しいCCP値を有するデータ・ブロックである。勿論、これらのデータ・ブロックは同一のアドレスされた装置の中にある。

グループ化閾値 57までの第2の走査は、ヒットがループ 316 で生じた時にのみ起る。それは、マイクロプロセッサ 31P が J カウンタを 1 だけ増加させるステップ 331 で始まる。第1図の例では、走査されるべき次のLRUエントリイは、LRU+2 に対応する。従つて、登録簿 43 のそのエントリイは ADEBレジスタ 76 へ転送される。次にマイクロプロセッサ 31P は、332 で M フィールド 124 を検査する。その値はゼロに等しいから、マイクロプロセッサ 31P は論理通路 333 をたどつて、ステップ 331 へ戻り、ループ 330 を繰返す。もし M フィールド 124 がゼロでなければ、334 でマイクロプロセッサ 31P は ADEBレジスタ 76 の CCP 値、及び最初に指定されたツデータ・ブロック (これは書込待ち行列 127 にある) の CCP 値とを検査する。他の実施例としてマイクロプロセッサ 31P の中にある作業レジスタへ、ADEBレジスタ 76 のフィールド 108 で表わされた装置アドレスを含ませ、現在の ADEBレジスタ 76 のエントリイにおける CCP 値と、最初に指定されたデータ・ブロックの CCP 値とを比較するようにしてもよい。注意すべきは、CCP 値が装置上の物理シリンド・アドレスを表わすことである。こうして、DASD 16 内部の実際のディスク構成は、LRUリスト 46 の走査を変更せず、またそれに影響を及ぼさない。

もしシリンド・アドレス (CCP 値) が異つていれば、論理通路 333 がとられ、ループ 330 の次の走査が開始される。双方のデータ・ブロックが同一のシリンドにあるれば、335 で、マイクロプロセッサ 31P は LRU+(J+1) の指標値を書込待ち行列 (WQ) 127 へ転送し、フラグ・カウンタ 127F を増加させる。次に 336 で、マイクロプロセッサ 31P は WQ 127 を検査し、CCP 値を有するシリンドについて、8 個

のエントリイがあるかどうか決定する。もし 8 個のエントリイがあれば、キヤツシユ 40 から DASD 16 へ転送するためのデータ・ブロックの完全なグループが決定されたことになる。ループ 330 の走査は不完全のままである。従つて、タスク指名ステップ 190 への戻りが生じ、第11 図を参照して説明する書込待ち行列の走査が、グループ化されたデータの転送をスケジュールする。もしグループ化が上限に達していなければ、10 338 で、マイクロプロセッサ 31P は J カウンタ 37 の内容を検査し、その値を MRU-K (グループ化閾値 57 のすぐ上にある、LRUリスト 46 のエントリイ) と比較する。もし比較が一致すれば、それは第2走査の完了を意味し、タスク指名ステップ 190 への通路 337 がとられる。その時点で、転送されるべきデータ・ブロックが 1 個だけであつてもよく、7 個までのブロックがあつてよい。J カウンタの値がまだ MRU-K に達していなければ、通路 333 がとられて、もう 1 回のループ 330 が実行される。

第11図は、キヤツシユ 40 に記憶されたデータであつて、DASD 16 へ転送されるべきものを探すため、書込待ち行列 127 の全てを走査するマイクロプロセッサ 31P のマシン動作を示す。マシン動作は、タスク指名ステップ 190 から論理通路 340 を介して起動される。341 で、検査されるべき書込待ち行列 127 を決定するため、書込待ち行列カウンタ (WQK) 127K の内容が検査される。WQK 127K は、DASD 16 の数に等しいデイジット位置を有するシフト・レジスタとして処理される。1 つのビットが 1 へセットされており、そのビット位置はどの書込待ち行列が検査されるべきかを示す。1 つの書込待ち行列の検査が完了すると、1 のビットが次のデジット位置へシフトされ、次の書込待ち行列の検査が可能となる。このようにして、ラウンド・ロビン式の待ち行列検査が実行される。

ループ 342 はフラグ・カウンタ 127F を検査して、関連した書込待ち行列が空であるか (フラグ・カウンタ 127F がゼロに等しい)、又は非ゼロであつて 1 つ又はそれ以上のエントリイを指示するかどうかを決定する。343 で、書込待ち行列カウンタ (WQK) 127K に対応するフラグ・カウンタ 127F が、制御ストア 73 から

取出される。フラグ・カウンタ 127F は 344 で検査される。もしフラグ・カウンタ 127F がゼロであれば、345 で WQK 127K が 1 だけ増進される。346 で、シフトされた値が、341 で取出された初期値と比較される。もしそれらの値が等しければ、走査は完了している。次にマイクロプロセッサ 31P は、通路 347 をたどつてタスク指名ステップ 190 へ戻る。比較が一致しなければ、ステップ 343-345 が反復される。フラグ・カウンタ 127F がゼロでなければ、マイクロプロセッサ 31P は通路 348 をたどり、350 で指定された装置が使用中であるかどうかを検査する。もし装置が使用中であれば、その装置について作業はスケジュールされず、マイクロプロセッサ 31P は論理通路 351 をたどつて、ステップ 343 へ戻り、ループ 342 を実行して走査を継続する。350 で、もし装置が使用中でなければ、352 で、前述した手順を用いて ICW 連鎖が形成される。353 で、形成された ICW 連鎖が LKP レジスタ 25 を介して DAC プログラム 56P へ転送され、そこで実行される。次に 354 で、キヤツシユ 40 からアドレスされた DASD 16 へ、実際のデータ転送が起る。355 で、本発明と無関連の事後転送動作が起る。356 で、第 1 図の LRU リスト 46 にある M ビット (部分 47) がリセットされ、FBL レジスタ 79 にあるエントリイは、DASD 16 へ転送されたばかりのデータ・ブロックを含む、キヤツシユ 40 のアドレス可能データ記憶領域の指標値を受取る。これは記憶システム 10 を準備して、FBL レジスタ 79 に従つてキヤツシユ 40 の中でスペースを割振らせる。357 で、LDCB レジスタ 62 が検査され、CCR フィールド 95 及び MISS フィールド 96 が 1 へセットされているかどうかが決定される。もしキヤツシユ・ミスがあれば、358 で FBL レジスタ 79 が読出され、キヤツシユ 40 で解放されたばかりのアドレス可能記憶領域の 1 つの指標値が得られる。359 で、FBL レジスタ 79 が検査され、それが空であるかどうかが決定される。もしそれが空であれば、エラーが生じている。即ち、ステップ 358 は成功裡に実行されない。次にマイクロプロセッサ 31P は、通路 360 をたどつて、エラー回復手順へ進む。空でなければ、マイクロプロセッサ

31P は、第 11 図の論理コネクタ 361 及び第 9 図の論理コネクタ 283 を介して第 9 図の割振ステップ 284 へ進む。もし 357 で示されるように、LDCB レジスタの CCR フィールド 及び 5 MISS フィールド が 1 でなかつたために、キヤツシユ・ミスが生じて、書込待ち行列の走査が起らなかつたのであれば、マイクロプロセッサ 31P は、362 で本発明と無関係の機能を実行し、タスク指名ステップ 190 へ戻る。

10 代替方法として、マイクロプロセッサ 31P は、書込待ち行列 127 の走査を完了するため、ステップ 362 からループ 342 へ戻つてよい。しかし、或る設計上の制限が存在する場合、マイクロプロセッサ 31P にとつて、書込待ち行列の 15 中に現われる DASD 16 への全ての書き込みを完了するのではなく、実行されるべき各種の作業を走査するため、タスク指名ステップ 190 を使用するのが適切であろう。他の設計の制限がある場合には、ループ 342 を反復するため、直ちに通路 20 351 へ戻るのがよいかも知れない。

第 12 図は、例えば第 1 図のセット・ページ・バラメータ (SPP) 指令のようなモード設定型の指令に対する、マイクロプロセッサ 31P のマシン動作を示す。このような指令は、チャネル・アダプタ 32 を通して受取られる。指令は 365 で第 1 図の「アドレス及び指令」評価器 50 によつてデコードされ、366 で、マイクロプロセッサ 25 は、その指令がモード設定型の指令であるかどうかを決定する。もしモード設定型の指令でなければ、マイクロプロセッサ 31P は論理通路 367 をたどつて、その指令を実行する。もしモード設定型の指令であれば、368 で、マイクロプロセッサ 31P は CCW 19 (第 1 図) のアドレス・バイト 20 に関連した適当な LDCB レジスタ 62 35 にアクセスし、RD (読み出し及び放棄) フィールド 101 をバイト 22 の値へセットするとともに、SEQ フィールド 94 及び 100 をセットする。本発明の実施に関する限り、アドレスされた論理装置に対する LDCB レジスタ 62 の更新は、モード設定指令の実行を完了する。セット・ページ・バラメータ指令は、他の制御バラメータを含んでよく、このような制御バラメータは、記憶システム 10 の制御データ構造 (制御ストア 73 に置かれるのが望ましい) の中で更新されねばなら

ない。369で、マイクロプロセッサ31Pは、通常の如くホスト11へ終了状況信号を送る。マイクロプロセッサ31Pが追加の仕事を探してタスク指名ステップ190に戻る前に、370で他の機能を実行してよい。

図面の簡単な説明

第1図はホストへ接続された周辺データ記憶システムを示す、本発明を含む論理図である。更に、本発明を実施するに当つて使用されるチャネル指令、内部指令ワード、及びキヤツシユ置換制御リストが示される。第2図は周辺データ記憶システムを制御するためプログラム化されたプロセッサを使用する、第1図のシステムの変更例を示す論理ブロック図である。第3図は第1図及び第2図に示された周辺データ記憶システムで使用される各種のデータ構造を示す図である。第4図はLRUキヤツシユ置換（又はオーバレイ）基準を使用するキヤツシユ置換制御リストを示す図である。第5図はチャネル指令ワード及び内部指令ワードを使用する、第1図及び第2図の記憶システムの動作を示す図である。第6図は読み出指令を実行するときのマシン動作流れ図、及び第1図及び第2図に示された記憶システムのキヤツシユ・ヒット論理フローを示す図である。第7図及び第8図は第1図及び第2図に示される記憶システムにおいてバッキング・ストアから前面ストア（キヤツシユ）へシーケンシャル・データを転送するときのマシン動作流れ図（準備部分及び内部指令ワード部分を含む）である。第9図はキヤツシユ・ミスに続く制御処理を示すマシン動作流れ図である。第10図は非同期的書込動作の書込グループ化を示すマシン動作流れ図である。第11図はキヤツシユからDASDへ書かれる、グループ化されたデータの待ち行列走査を示すマシン動作流れ図である。第12図はモード設定指令の実行を示す

35

マシン動作流れ図である。

10 ……階層周辺データ記憶システム、11 ……ホスト、12～15 ……I/O接続（チャネル、サブチャネル）、16 ……DASD、19 ……5 チャネル指令ワード（CCW）、20 ……アドレス・バイト、21 ……指令バイト、22 ……指令修飾バイト、23 ……アドレス・バイト、24 ……内部指令ワード（ICW）、25 ……リンクエージ・ポート（LKP）レジスタ、26 ……指令バイト、27 ……指令修飾バイト、28 ……アドレス・バイト、30 ……システム・ストレージ、31 ……制御機構、32 ……チャネル・アダプタ、33 ……データ回路、34 ……装置アダプタ、35 ……装置制御アタッチメント、37 ……Jカウント、38 ……放棄リスト（DL）、40 ……キヤツシユ、43 ……登録簿、44 ……ハツシユ回路、45 ……分散指標テーブル、46 ……キヤツシユ置換LRUリスト、47 ……M（変更）ビット部分、49 ……可用閾値、50 ……「アドレス及び指令」評価器（ACE）、56 ……直接アクセス・コントロール（DAC）、57 ……グループ化閾値、58 ……システム・ストレージ・アドレス・レジスタ（SSAR）、61 ……キヤツシユ・アクセス・コントロール（CAC）、62 ……論理20 装置制御ブロック（LDCB）レジスタ、63 ……チャネル制御ブロック（CCB）レジスタ、69 ……待ち行列（Q）レジスタ、73 ……制御ストア、75 ……他のプログラム、76 ……ADEBレジスタ、77 ……装置バッファ（DEVBUF）レジスタ、78 ……バッファ・シーケンス・テーブル（BST）、79 ……自由ブロック・リスト（FBL）、31P ……マイクロプロセッサ、50P ……ACEプログラム、56P ……DACプログラム、61P ……CACプログラム。

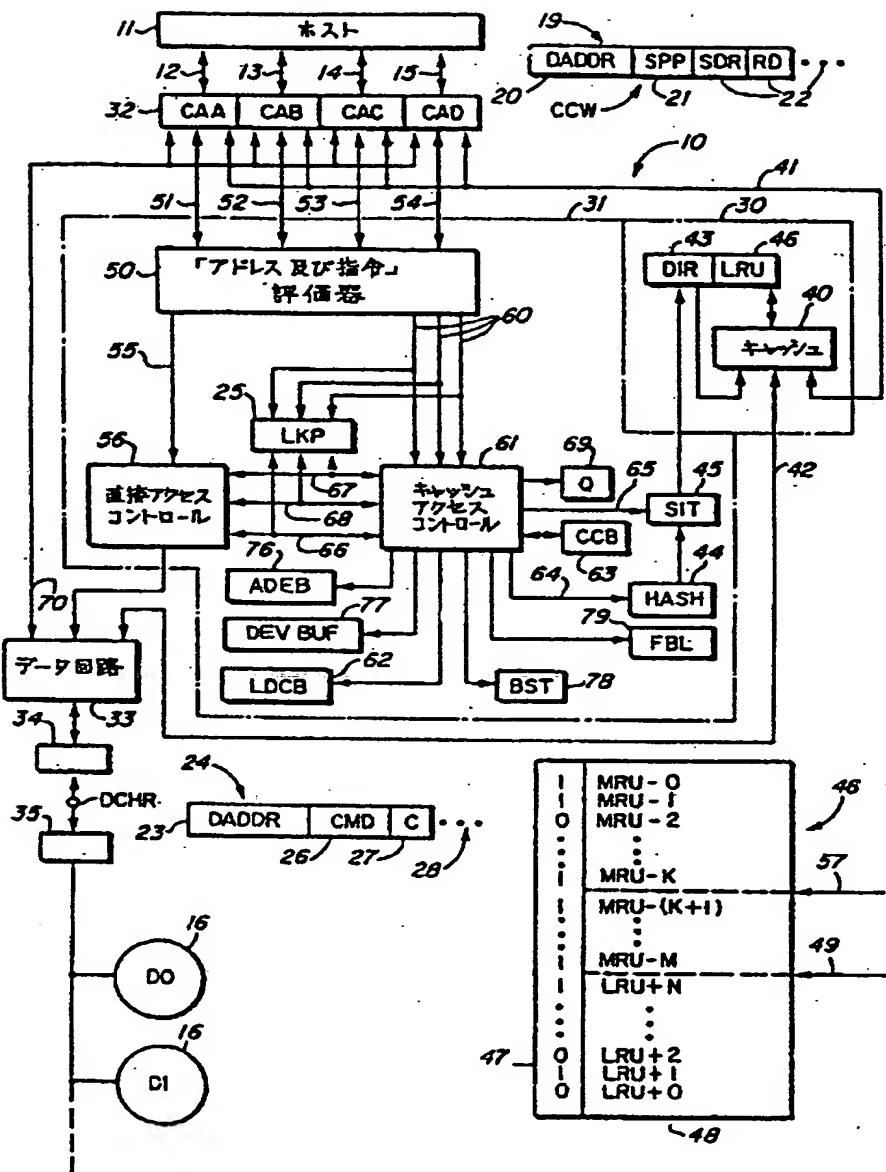


FIG-1

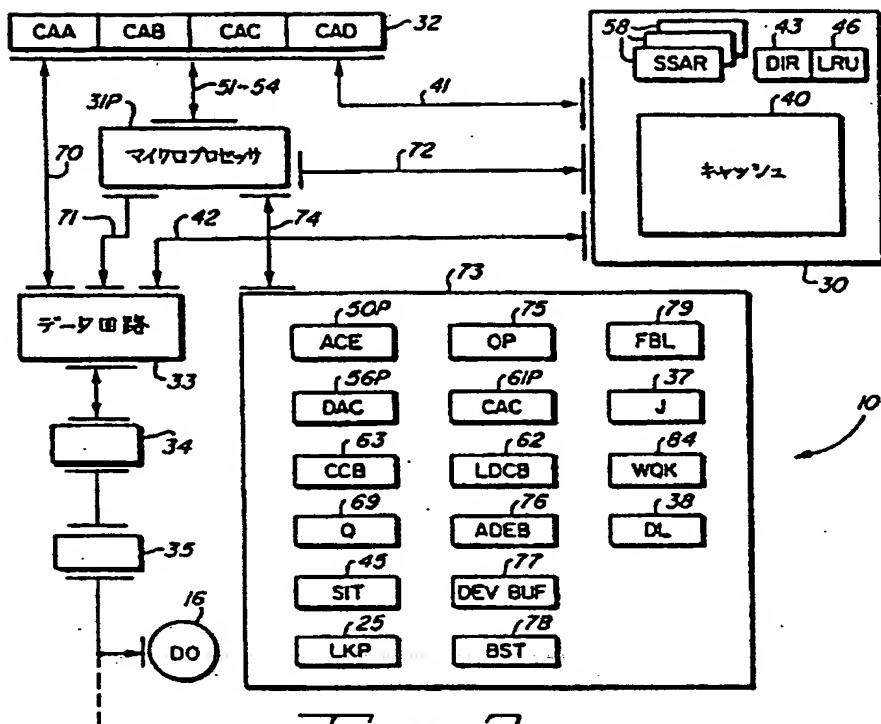


FIG. 2

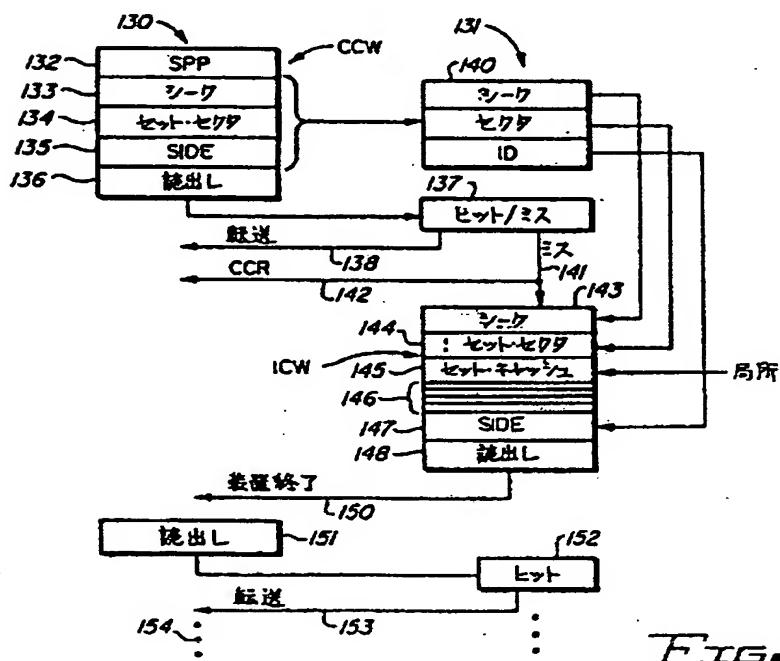


FIG. 5

FOUND	PPARMS	CPARMS	RPARMS	LDCBレジスタ				
FOUND 80								
ODE	CNL MASK	LDADDR	CMD	SEQ	CCR	MISS	...	
90	91	92	93	94	95	96		
PPARMS 81								
SEQ	RD	B COUNT	BASE CYL	...				
100	101	102	103					
CPARMS 82								
SEEK ADDR	SIO	SECTOR	...					
104	105	106						
RPARMS 83								
REOD	RIP	RA	DADDR	DIR INDEX	SSAR	CADDR	SAVE	...
110	111	112	113	114	115	116	117	
ADEBレジスタ								
INDEX	CCP	H	R	D	SECTOR	CLL	LINK	M
107					108		109	124
LKPレジスタ								
CP	PRIORITY	V	DADDR	PARMS	...			
85	86	87	88	89				
BSTレジスタ								
DELEP	EK							121
登録運指標								122
⋮								
登録簿指標								123
127K	WOK							
127F								
127	指標 アドレス マスク			指標 アドレス マスク				
128	LDCB1 LDCB2 LDCB3	LDCB1 LDCB3	LDCB2	LDCB1	LDC	...		
129	2	3	2	1	3			
	DO	DI	D2	D3	D4			

FIG. 3

CADDR	MRUP	LRUP
0	K+2	M+2
1	M	K+2
2	K+1	—
⋮	⋮	⋮
K		
⋮	⋮	⋮
K+1	N	2
K+2	1	0
⋮	⋮	⋮
M	—	—
M+1	M+2	G
M+2	0	M+1
⋮	⋮	⋮
N	K+5	K+1

FIG. 4

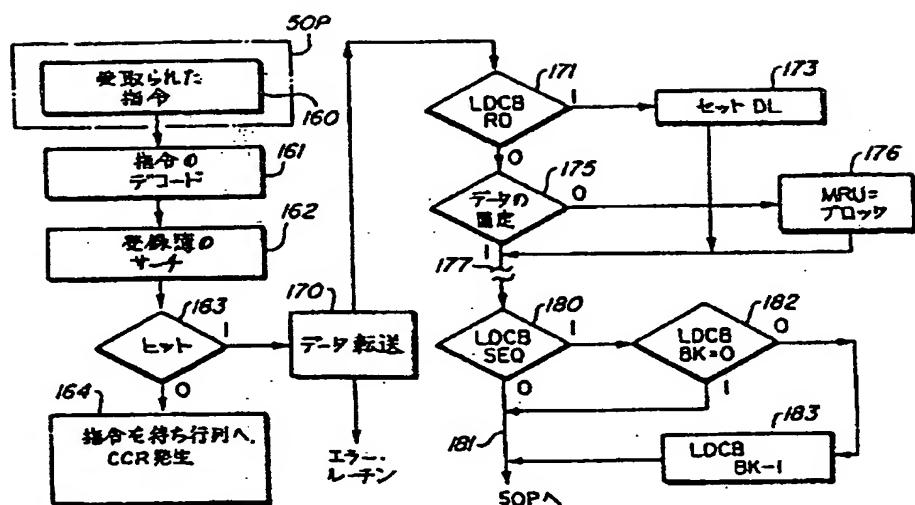


FIG-6

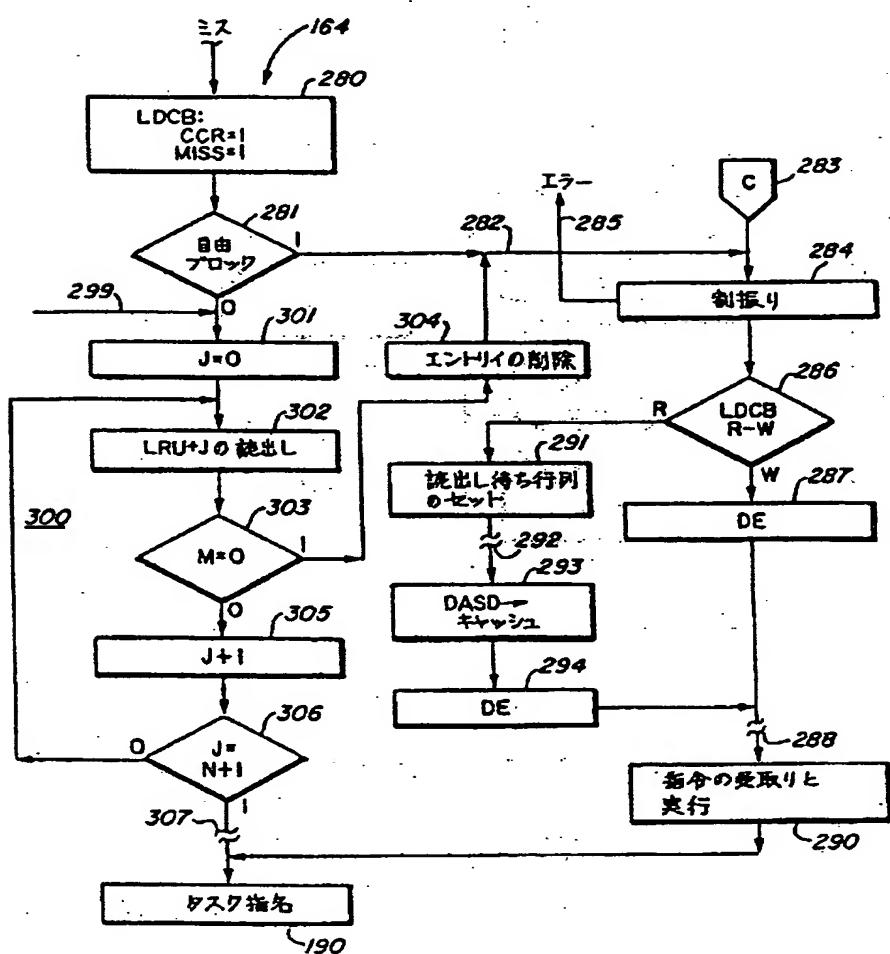


FIG-9

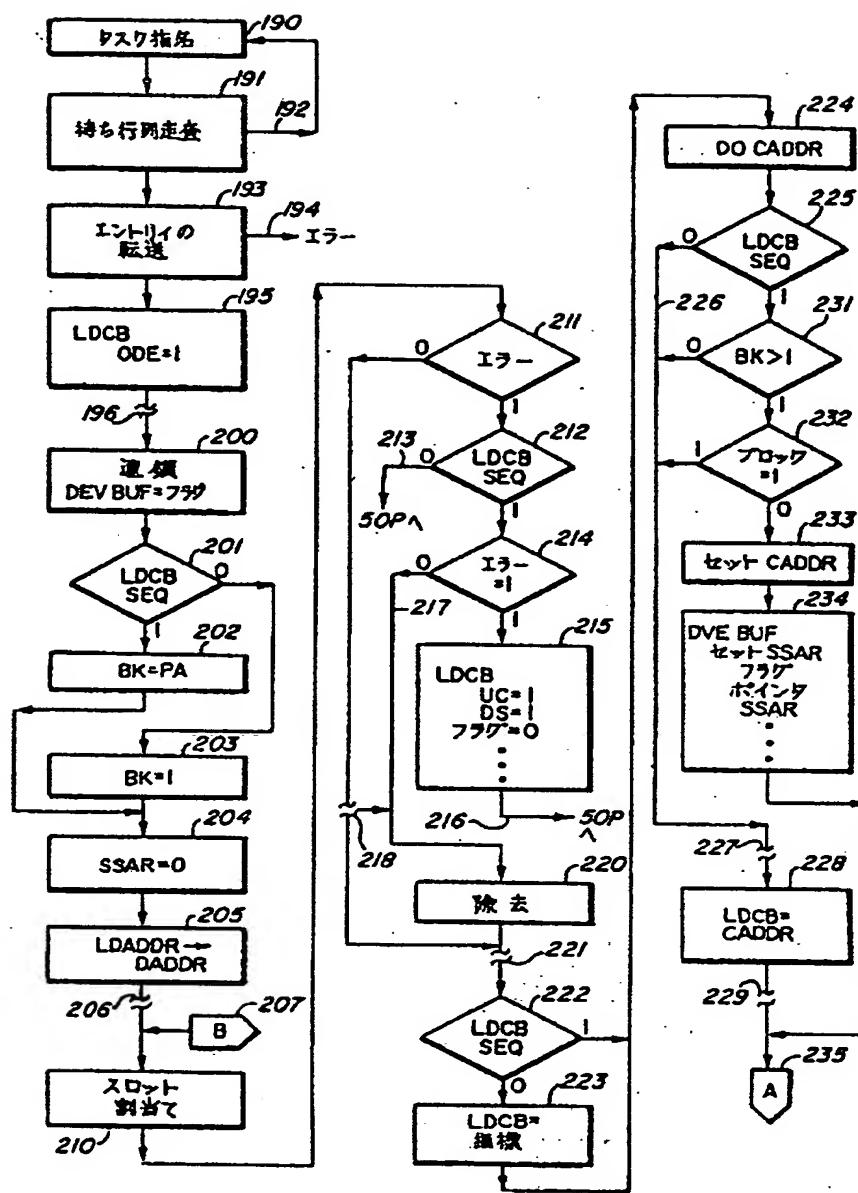


FIG-7

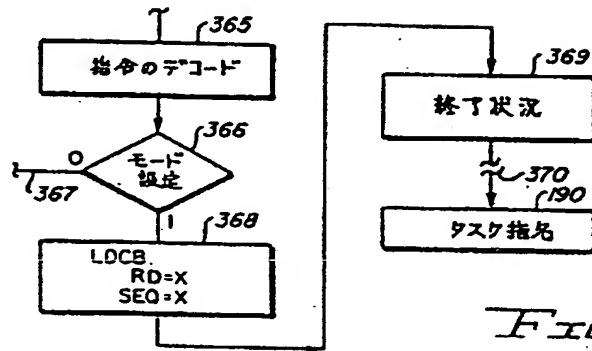


FIG-12

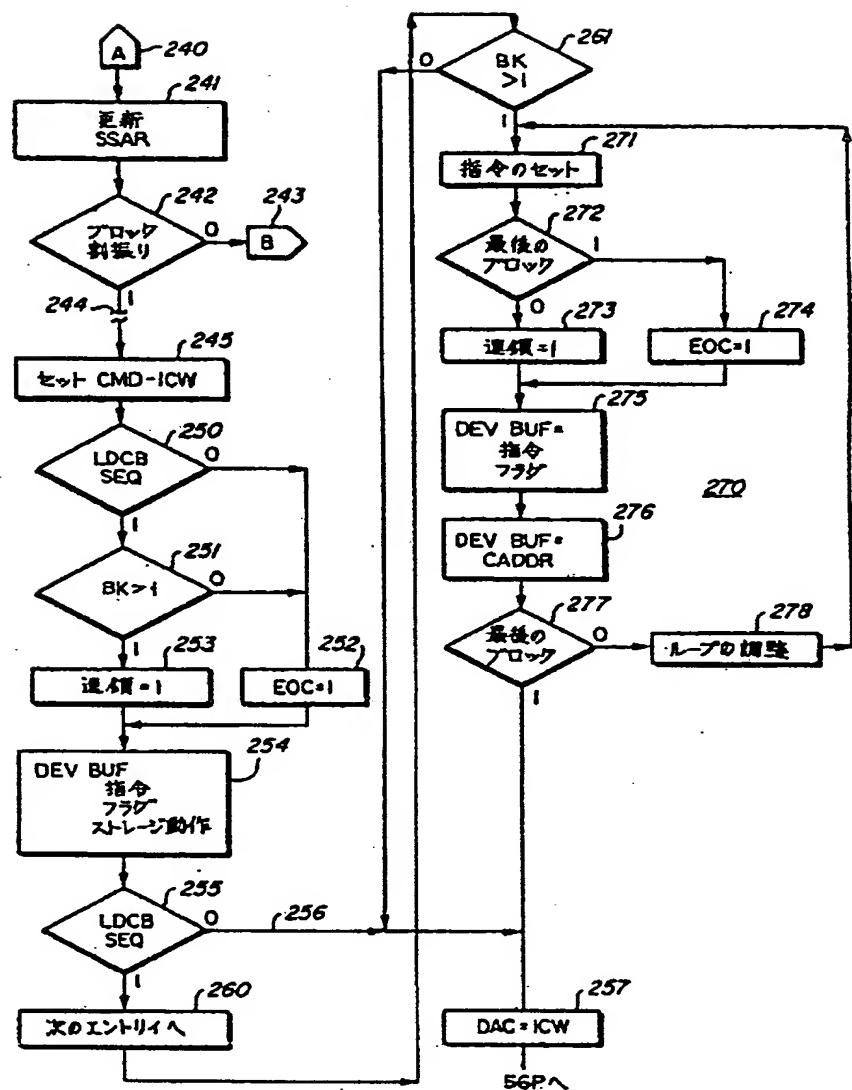
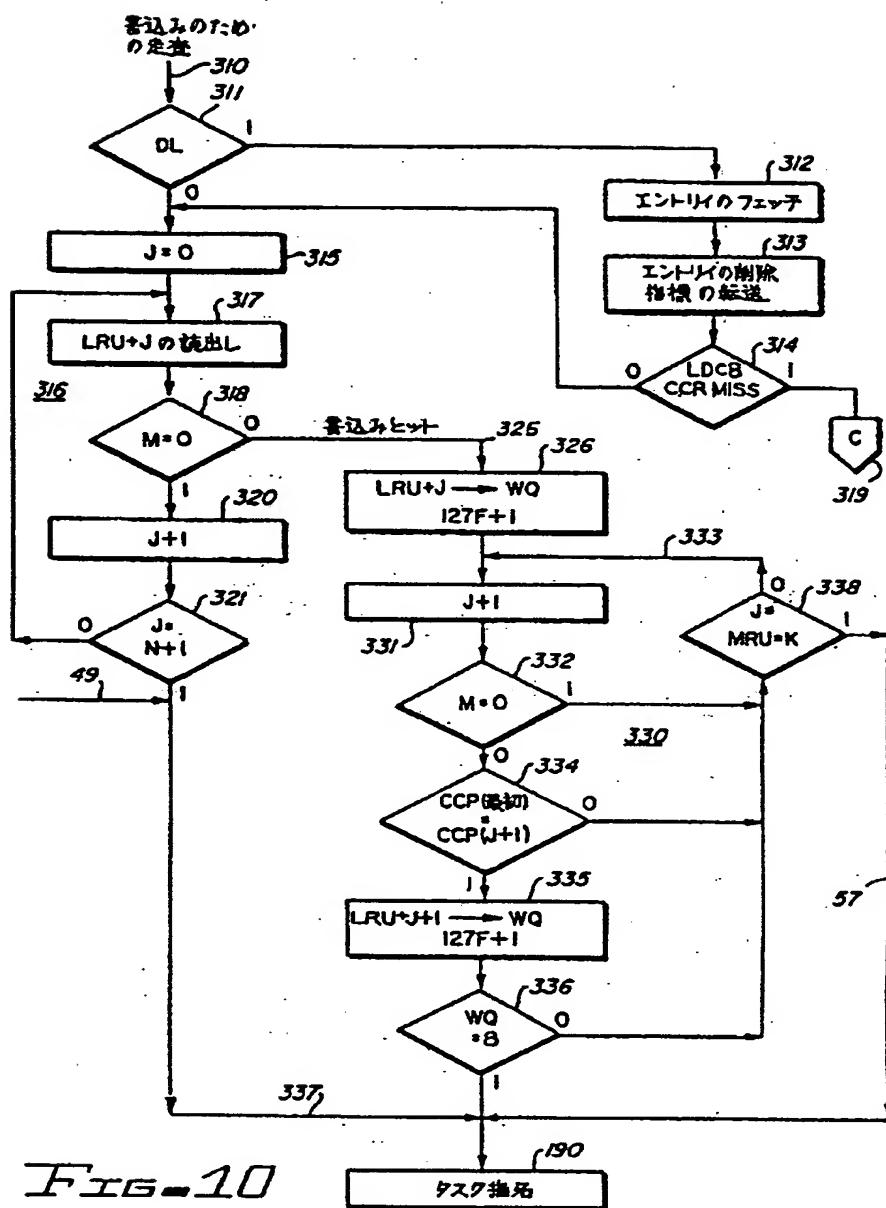


FIG. 8



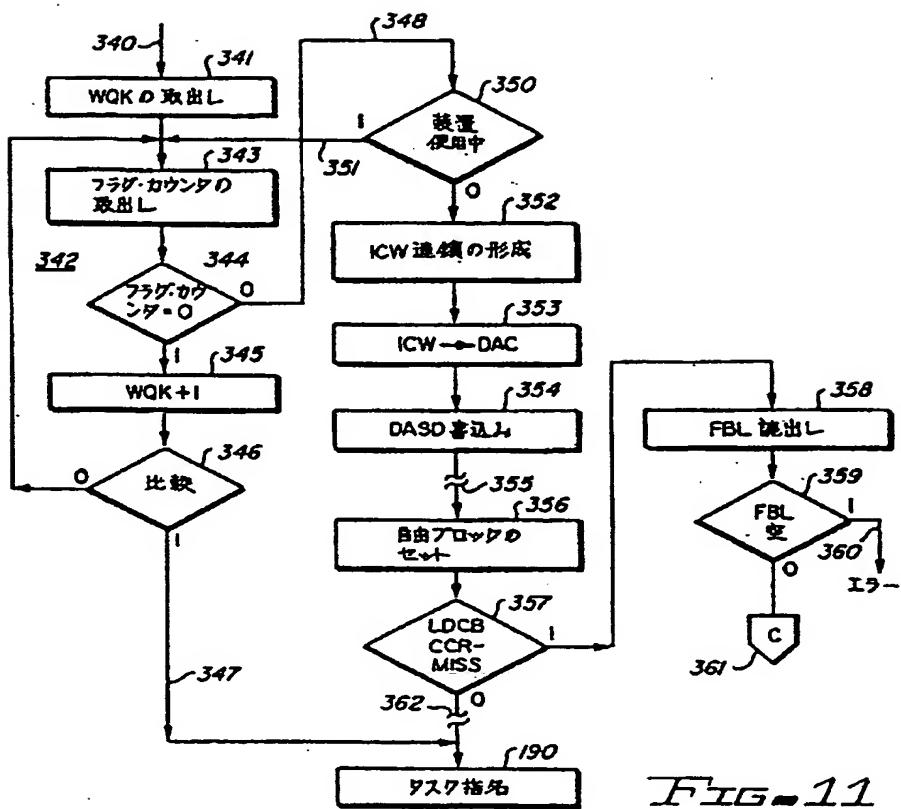


FIG. 11